

Année 2007

N° d'ordre : 2530

THESE

présentée pour obtenir le titre de

DOCTEUR DE L'INSTITUT NATIONAL POLYTECHNIQUE DE TOULOUSE

École doctorale : Mathématiques, Informatique et Télécommunications de Toulouse

Spécialité : Réseaux, Télécommunications, Système et Architecture

Par

Hussein CHARARA

ÉVALUATION DES PERFORMANCES TEMPS REEL DE RESEAUX EMBARQUES AVIONIQUES

Soutenue le 6 Novembre 2007 devant le jury composé de :

M. JEAN-MARIE Alain , Directeur de recherche INRIA, LIRMM/CNRS	Président / Rapporteur
M. SONG Ye-Qiong , Professeur des Universités, LORIA/INPL	Rapporteur
M. LOPEZ Juan , Ingénieur de recherche, AIRBUS	Examineur
M. FRABOUL Christian , Professeur des Universités, INPT/IRIT	Directeur de thèse
M. SCHARBARG Jean-Luc , Maître de conférences, INPT/IRIT	Co-directeur de thèse

*À mes parents
Leur amour, leur écoute permanents ont toujours été sans faille
Merci infiniment à vous*

Remerciements

Je remercie mes encadrants Christian Fraboul et Jean-Luc Scharbarg.

Je remercie les membres du jury, particulièrement M. Alain Jean-Marie et M. Ye-Quiong Song qui m'ont fait l'honneur de juger ma thèse en qualité de rapporteurs.

Merci à tous les membres du laboratoire IRIT/ ENSEEIHT que j'ai pu côtoyer et qui m'ont permis de travailler dans une ambiance très agréable : André-Luc Beylot, Jérôme Ermont, Julien Fasson, Jérôme Grieu, Sylvie Eichen, Henri Bauer, Farid, Issoufou, Alexandra, Georges, Mohamad, Rahim, Sakuna, ...

Merci à tous ceux qui sont venus m'encourager et me soutenir lors de la soutenance et plus particulièrement à mes collègues de travail à AMESYS.

Merci à mes chers amis Youssef Atat, Azzam Haidar et Mohamad Ayad : les confidents des moments difficiles

Une tendre pensée à mes adorables sœurs : Zahraa, Nour, Jinan et mon merveilleux petit frère Jawad

Un grand merci à qui j'ai choisi pour partager ma vie, ma femme Iman ... l'amour éternel ... et à nos familles au Liban.

Liste des acronymes

ADCN	Aircraft Data Communication Network
AFDX	Avionics Full Duplex
APEX	Application / EXecutive
API	Application Programming Interface
ARINC	Aeronautical Radio Inc
ATM	asynchronous transfer mode
BAG	Bandwidth Allocation Gap
BEB	Binary Exponential Back-Off
COTS	Commercial off-the-shelf
CRS	Cyclic Redundancy Check
CSMA/CD	Carrier Sense Multiple Access with Collision Detection
DAIS	Digital Avionics Information System
ELAN	Ethernet Local Area Network
EON	Ethernet Open Network
ES	End System
FCS	Frame Check Sequence
FDMA	Frequency Division Multiple Access
FIFO	First In First Out
FTP	File Transfer Protocol
GARP	Generic Attribute Registration Protocol
GMRP	Multicast Registration Protocol
ID	Influent Directement
IFG	Inter-Frame Gap
IHM	Interface Homme Machine
II	Influent Indirectement
IMA	Integrated Modular Avionics
IME	Integrated Modular Electronics
INT	IP/MAC Notification Table
IP	Internet Protocol
IPsec IP	Security Protocol
ISO	International Organization for Standardization
ISP	Internet Service Provider
LAN	Local Area Network

LRM	Line Replaceable Module
LRU	Line Replaceable Units
MAC	Medium Access Control
NC	Network Calculus
NCD	Network Configuration Document
P2P	Peer-to-Peer
PDU	Protocol Data Unit
PID	Packet IDentifier
QNAP	Queueing Network Analysis Package
QoS	Quality of Service
SAP	Service Access Point
TCP	Transmission Control Protocol
TDMA	Time Division Multiple Access
TFTP	Trivial File Transfer Protocol
Tx/Rx	Transmission/ Reception
UDP	User Data Protocol
UMTS	Universal Mobile Telephone Service
UNI	User-Network Interface
VL	Virtual Link
VLAN	Virtual Local Area Network
VPI	Virtual Path Identifier
VPN	Virtual Private Network

Liste des figures

Figure 1: Réseau embarqué avionique	24
Figure 2: L'AFDX sur l'échelle OSI.....	27
Figure 3: l'architecture globale du système d'information embarqué dans un aéronef	28
Figure 4: Redondance du réseau.....	30
Figure 5: Les canaux de communications virtuels	31
Figure 6: Flux de VLs multicasts	31
Figure 7: Illustration du Bag.....	32
Figure 8: Le problème de congestion	35
Figure 9: Exemple d'un réseau	36
Figure 10: Illustration du cas d'un délai minimum.....	36
Figure 11: Illustration du cas d'un délai maximum.....	37
Figure 12: La distribution des délais.....	38
Figure 13: modèle simple du réseau.....	42
Figure 14: Borne calculée et valeurs réelles.....	42
Figure 15: Illustration de l'occupation de BAG	47
Figure 16: Illustration de la variation de taille des trames	48
Figure 17: Illustration du déphasage	49
Figure 18: Illustration d'un scénario de simulation	50
Figure 19: Régulateur de trafic.....	52
Figure 20: Multiplexage des flux de VL au niveau <i>End System</i>	52
Figure 21: Modélisation d'un <i>End System</i> avec plusieurs applications	52
Figure 22: modélisation du commutateur.....	54
Figure 23: Modélisation en file d'attente du commutateur	54
Figure 24: Modélisation des éléments simples avec des files d'attente	55
Figure 25: Modèle de simulation général du réseau.....	56
Figure 26: Modèle de réseau avec un seul commutateur.....	57
Figure 27: Distribution des délais.....	58
Figure 28: Configuration du réseau à trois commutateurs	59
Figure 29: Comparaison entre les délais de traversée obtenus par simulation et Network Calculus	59
Figure 30 : Distribution des délais d'un chemin de VL 12	60
Figure 31: Prototypage du réseau AFDX.....	61
Figure 32: Architecture du réseau AFDX	62
Figure 33: Un Virtual Link multicast	63
Figure 34: Charge globale du réseau	64
Figure 35: Illustration des déphasages possible pour un VL.....	65
Figure 36: Présentation de différentes classes de chemins.....	68

Figure 37: les VLs des chemins influant directement et indirectement	70
Figure 38: Pas d'influence de chemins II	70
Figure 39: vx plut tard dû à vlb	71
Figure 40: vx plus tôt dû à vlb.....	71
Figure 41: Distribution du nombre de VLs influant directement un chemin px	72
Figure 42: Simplification de l'architecture du réseau	73
Figure 43: vx plut tard dû à va/sy1	73
Figure 44: vx plut tôt dû à va/sy1	73
Figure 45: répartition des chemins influents sur un chemin.....	75
Figure 46 : Niveaux d'influence indirecte	76
Figure 47 : Distribution des chemins en fonction du nombre des chemins influents et le rapport ID/I.....	77
Figure 48: Modèle de configuration renfermant des chemins ID et II (chemin de longueur 1).....	79
Figure 49: comparaison des distributions des délais des différentes configurations.....	81
Figure 50: Modèle de configuration renfermant des chemins ID et II (chemin de longueur 2).....	82
Figure 51: Comparaison entre les répartitions des délais des quatre configurations.....	84
Figure 52 : Comparaison entre les répartitions des délais, avec et sans II	89
Figure 53: Configuration représentative des types de chemins ID.....	91
Figure 54: Configuration du modèle réduit C4	92
Figure 55: Comparaison des distributions des délais pour les différentes configurations ..	92
Figure 56: Modèles de configurations avec et sans chemins agrégés	93
Figure 57: Comparaison des distributions des délais des deux configurations avec et sans agrégation	94
Figure 58: Modèle de simulation générique	94
Figure 59: Distribution des chemins par longueur et par type	96
Figure 60: Distribution des chemins selon leurs types en fonction du nombre de VL influençant	96
Figure 61: Groupe de chemins de longueur un.....	97
Figure 62: Répartition des délais du chemin de VL 2852	98
Figure 63: Répartition des délais du chemin de VL 28751	98
Figure 64: Répartition des délais du chemin de VL 28851	99
Figure 65: Groupe de chemins de longueur deux.....	99
Figure 66: Répartition des délais du chemin de VL 11450	100
Figure 67: Répartition des délais du chemin de VL 11453	100
Figure 68: Répartition des délais du chemin de VL 12053	101
Figure 69: Groupe des chemins de longueur trois.....	101
Figure 70: Répartition des délais du chemin de VL 17950	102
Figure 71: Répartition des délais du chemin de VL 16650	103
Figure 72: Répartition des délais du chemin de VL 17451	103
Figure 73: Groupe de chemins de longueur quatre.....	104
Figure 74: Répartition des délais du chemin de VL 4451	104
Figure 75: Répartition des délais du chemin de VL 33351	105
Figure 76: Architecture globale de l'outil de simulation réalisé	115
Figure 77: Description de l'interface de résolution	116

Liste des tableaux

Tableau 1: Comparaison entre bus ARINC 429 et ETHERNET	26
Tableau 2: Nombre total de VL du commutateur S vers commutateur D.....	62
Tableau 3: Distribution des BAGs et des tailles des trames.....	63
Tableau 4: Longueur de chemin du VL.....	63
Tableau 5 : Distribution des chemins selon leurs longueurs	75
Tableau 6: Représentation des configurations Ci.....	80
Tableau 7: Représentation des configurations.....	83
Tableau 8 : Caractéristiques des chemins représentatifs étudiés.....	85
Tableau 9: Les modèles de configuration.....	91
Tableau 10: Les cinq configurations étudiées	91
Tableau 11: Les configurations étudiées	93
Tableau 12: Distribution des chemins selon leurs longueurs	95

Table des matières

CHAPITRE 1.....	17
Introduction et problématique	17
1.1 Evolution des réseaux avioniques embarqués	18
1.3 Le plan de l'étude	19
CHAPITRE 2.....	21
Le contexte de l'étude.....	21
2.1 Evolution des systèmes avioniques	22
2.1.1 Architectures des systèmes Avioniques	23
2.2 Le Réseau avionique adopté : Le réseau AFDX.....	25
2.2.1 Description de la norme ARINC 664 et du domaine d'application	27
2.2.1.1 Restrictions imposées pour les réseaux profilés	29
<i>Configuration statique</i>	29
<i>Isolation des erreurs</i>	29
<i>Trafic maîtrisé</i>	29
2.2.2 La Structure du réseau AFDX	30
2.2.3 La notion de Virtual Link	30
2.2.4 Le commutateur AFDX	32
2.2.5 Le problème de non déterminisme dans le réseau AFDX	34
2.3 Méthodes d'évaluation de performances	36
2.3.1 Caractérisation du délai de bout en bout d'un flux avionique.....	36
2.3.1.1 Le délai minimum.....	36
2.3.1.2 Le délai maximum	37
2.3.1.3 La distribution des délais	37
2.3.2 Approches envisageables pour la caractérisation des délais	38
2.3.2.1 L'approche par calcul réseau (<i>Network Calculus</i>)	38
2.3.2.2 L'approche par <i>model checking</i>	39
2.3.2.3 L'approche par modélisation en files d'attente et simulation.....	40
2.3.3 Synthèse de la démarche.....	41
CHAPITRE 3.....	45
Construction d'un modèle de simulation.....	45
3.1 Définition d'un scénario de simulation	46
3.1.1 Paramètres influents sur le délai de bout en bout	46
3.1.1.1 Occupation des BAG	46
3.1.1.2 Taille des trames	47
3.1.1.4 Le déphasage entre les trames de VLs.....	49
3.1.2 Hypothèses de simulation.....	50
3.2 Modèle de simulation du réseau	51
3.2.1 Modélisation des éléments du réseau	51
3.2.1.1 L' <i>End System</i>	51
3.2.1.2 Le commutateur	53
3.2.2 Modèle de simulation général.....	55
3.3 Premiers résultats de simulation	56

3.3.1	Analyse statistique des résultats de simulation.....	56
3.3.2	Analyse des délais de bout en bout dans un réseau d'un commutateur.....	57
3.3.3	Analyse des délais de bout en bout dans un réseau de plusieurs commutateurs	58
3.4	Application sur une configuration réelle du réseau	60
3.4.1	Présentation générale du réseau.....	60
3.4.2	Difficulté de la simulation : le nombre de scénarii possibles	64
3.5	Conclusion	65
CHAPITRE 4	67
Propositions de réduction de l'espace de simulation.....		67
4.1	Classification des chemins par type d'influence	68
4.2	Exploitation de la classification.....	69
4.2.1	Élagage des chemins non influents.....	69
4.2.2	Possibilité d'élagage des chemins influents indirectement (II).....	70
4.2.3	Possibilité de simplification de l'architecture du réseau	72
4.3	Influence effective de la classe II	74
4.3.1	Définition d'un plan d'expérimentation	74
4.3.1.1	Nombre de VLs influents	75
4.3.1.2	Rapport entre chemin II et ID.....	75
4.3.1.3	Niveau de l'influence indirecte.....	76
4.3.1.4	Exploitation de l'analyse de la configuration industrielle.....	76
4.3.2	Plan d'expérimentation et résultats.....	78
4.3.2.1	Simulation L1 _A	79
Analyse des résultats		81
Synthèse.....		82
4.3.2.2	Simulation L1 _B	82
Analyse des résultats		85
Synthèse.....		85
4.3.2.3	Simulation L2	85
Hypothèses de simulations		86
Résultats des simulations.....		86
Analyse des résultats		90
4.3.3	Conclusion sur l'étude des chemins influant indirectement.....	90
4.4	Simplification de l'architecture	90
4.5	Modèle de simulation générique.....	94
4.6	Distribution des délais de bout en bout sur une application industrielle.....	95
4.6.1	Répartition des délais : Groupement des chemins par type.....	95
4.6.2	Chemins de longueur un	97
4.6.3	Chemins de longueur deux	99
4.6.4	Chemins de longueur trois.....	101
4.6.5	Chemins de longueur quatre	103
4.6.7	Analyse des résultats	105
4.7	Conclusion.....	106
CHAPITRE 5	107
Conclusions et Perspectives.....		107
5.1	Résumé des travaux	107
5.2	Perspectives de recherche.....	109

Annexe A.....	111
Outil réalisé	111
Cœur temps réel de simulation : QNAP 2.....	111
Description de l’outil réalisé	112
Architecture globale	115
Annexe B.....	117
Publications dans le cadre de cette thèse.....	117
Conférences Internationales avec actes et comité de lecture (4).....	117
Autres conférences (1).....	117
Workshop et présentations (1).....	117
BIBLIOGRAPHIE	119

CHAPITRE 1

Introduction et problématique

Sommaire

1.1	Evolution des réseaux avioniques embarqués	18
1.3	Le plan de l'étude	19

Contexte de l'étude

Les travaux présentés, portent sur l'étude des performances temps réel d'un réseau Ethernet commuté dans un contexte d'applications avioniques. Les problèmes traités dans cette étude permettent l'évaluation des performances du réseau AFDX (Avionics Full Duplex).

Le premier chapitre présente le contexte de ces travaux. La première section retrace l'évolution des architectures des systèmes avioniques, la nouvelle norme de réseau AFDX et les problèmes posés. Dans la deuxième section nous présentons le plan de cette thèse.

1.1 Evolution des réseaux avioniques embarqués

Les architectures des réseaux embarqués avioniques connaissent actuellement des évolutions importantes dues essentiellement à l'augmentation de la complexité des systèmes embarqués, en terme d'accroissement du nombre de fonctions intégrées et donc des connexions entre ces fonctions. Ces problèmes de maîtrise de la complexité peuvent tirer partie des évolutions technologiques basées sur la notion d'architecture modulaire (qui vise un partage accru des ressources de traitement et de communication), mais la croissance du nombre de communications multi points est telle que la mise en œuvre de réseaux embarqués constitue un des enjeux majeurs des architectures de nouvelle génération.

Différentes propositions de bus de communication avioniques ont été faites en particulier dans le cadre de l'ARINC qui est l'organisme de normalisation pour les architectures avioniques civiles. Cependant, la plupart de ces propositions reposent sur des moyens de communications assez anciens, comme les Bus ARINC 429 qui sont des bus mono-émetteurs mais de performances limitées (100 kbits/s) qui ne répondent pas aux demandes des avionneurs actuels, même s'ils sont d'une simplicité et d'une fiabilité importante. En plus de la limitation des capacités, le contexte mono-émetteur de ces bus empêche la croissance des systèmes avioniques du fait que ces systèmes intègrent des applications et des liaisons de plus en plus maillées et renforcées. Ceci conduit à une augmentation des interconnexions entre les différents équipements et par conséquent une augmentation en nombre et en volume des bus utilisés, ce qui ne répond pas convenablement aux contraintes strictes en volume et en poids des systèmes avioniques.

Une autre proposition de bus de communication avionique par Boeing consiste à embarquer des bus ARINC 629 dans le cockpit du 777, ces bus sont multi-émetteurs avec des performances bien meilleures (2 Mbps jusqu'à 120 utilisateurs). Cette amélioration des bus avioniques prend en compte les contraintes du déterminisme et du temps réel spécifiques à des applications avioniques, directement au niveau des techniques de multiplexage temporel proposées. Mais cette technologie n'est plus considérée comme solution satisfaisante au problème de l'évolution du trafic dans les réseaux avioniques civils en raison du coût global de sa mise en œuvre.

L'évolution des techniques des réseaux locaux de transmission de données (Ethernet commuté, ATM, ...) a permis d'apporter de nouvelles réponses aux avionneurs et d'envisager leur utilisation dans ce contexte, même si le caractère non-déterministe des réseaux commutés doit être compensé par des hypothèses fortes, notamment sur les trafics d'entrée du réseau. La solution retenue par Airbus pour la nouvelle génération A 380 consiste à réutiliser les bases de l'Ethernet commuté. Cette technologie permet une réutilisation d'outils de développement et de composants matériels existant pour laquelle il existe une longue expérience industrielle, ce qui permet d'avoir une bonne confiance en fiabilité du matériel et sur la facilité de sa maintenance. Cette solution est alors standardisée avec la norme ARINC 664 en Ethernet commuté Full Duplex, l'AFDX (*Avionics Full Duplex*), pour adapter les protocoles standards au contexte aéronautique. L'Ethernet commuté est ainsi mis en application comme architecture de communication pour les systèmes avioniques.

Cependant, cette technologie utilisée comme architecture de communication ne comporte pas de mécanismes internes permettant d'assurer que le réseau offrira bien la qualité de service requise, qui comprend entre autres une latence maîtrisée, ainsi que l'absence de perte de trames par congestion. En effet, les commutateurs prescrits par la norme ARINC

664 sont conformes à la norme IEEE 802.1D, avec laquelle il est possible de perdre des trames. En effet, le problème se situe alors au niveau des commutateurs, où les différents flux vont entrer en compétition pour l'utilisation des ressources du commutateur. En effet, les confluences de trafic sont potentiellement sources de non-déterminisme des latences de traversée du réseau et peuvent provoquer des congestions des ports de sortie de commutateurs. Afin de répondre à ce problème de non déterminisme dans le réseau AFDX, plusieurs méthodes d'analyse des propriétés temporelles des moyens de communication (latence, débit, gigue, ...) ont été employées. Ces dernières qui tentent de vérifier les contraintes temporelles dans le réseau permettent de borner les délais de traversée du réseau avec des hypothèses souvent pessimistes. Nous avons retenu une approche par simulation qui a pour objectif d'obtenir une distribution des latences et de mieux comprendre le comportement moyen du réseau.

1.3 Le plan de l'étude

Dans le deuxième chapitre, nous présentons le système avionique étudié, c'est-à-dire le système ADCN, basé sur la technologie réseau AFDX. Ce réseau est celui mise en œuvre pour l'Airbus A380, et s'inscrit dans le cadre des réseaux déterministes décrits par la norme ARINC 664. Nous montrons en quoi l'utilisation de ce nouveau type de réseau entraîne de nouveaux problèmes vis-à-vis du contexte avionique. On relève ainsi le besoin d'étudier que le réseau offre bien la qualité de service requise. Afin de répondre à cette problématique, nous présenterons une rapide synthèse des méthodes existantes qui permettent l'analyse du réseau. Nous constatons que les méthodes d'analyse précédentes ne permettent pas d'étudier le fonctionnement réel du réseau mais seulement de borner certaines valeurs pour des besoins de certification avionique. Nous en déduisons qu'il est important de mettre en place une méthode permettant d'évaluer les performances du réseau avionique dans le contexte de trafic réel. Nous retenons l'approche par simulation pour l'évaluation des délais de bout en bout et obtenir leur distribution.

Dans le troisième chapitre, nous présentons tout d'abord les paramètres caractérisant les flux de VLs afin de définir les hypothèses à considérer lors de la construction du modèle de simulation, et de déterminer les scénarii de simulation qui permettent l'analyse des délais. Ensuite, nous développons un modèle de simulation basé sur une modélisation en éléments simples du réseau avionique. Cependant, la modélisation des trafics en entrée de ce réseau conduit à un espace de simulation trop complexe et trop étendu (nombre de scénarii possibles) pour une application industrielle réaliste. D'où la nécessité de raffiner notre méthode d'analyse, et de penser à réduire l'espace de la simulation, pour arriver à un nombre de scénarii raisonnables.

Dans le quatrième chapitre, nous présentons plusieurs pistes permettant de limiter le nombre de chemins en jeu et réduire l'espace de la simulation du réseau, pour obtenir une répartition des délais de bout en bout d'un chemin donné. Nous nous intéressons alors à exploiter la partie du réseau influant effectivement sur l'analyse des délais d'un VL donné. Nous proposons une classification des chemins portant sur le degré d'influence des VLs sur un chemin d'un VL donné. A la lumière de cette classification, nous constatons que nous pouvons écarter certains chemins d'un VL, qui n'ont que très peu d'influence, pour évaluer la répartition des délais de bout en bout sur ce VL. Ce qui conduit en effet à la

réduction du nombre de scénarii possibles. Enfin, nous montrons qu'il est possible de définir un modèle générique de simulation et ainsi d'obtenir par simulation les répartitions des délais de bout en bout pour la majorité des chemins du réseau avionique.

Dans le chapitre cinq de la thèse, nous résumons notre étude et ses contributions et nous proposons différentes perspectives ultérieures à ce travail.

CHAPITRE 2

Le contexte de l'étude

Sommaire

2.1	Evolution des systèmes avioniques	22
2.1.1	Architectures des systèmes Avioniques	23
2.2	Le Réseau avionique adopté : Le réseau AFDX.....	25
2.2.1	Description de la norme ARINC 664 et du domaine d'application	27
2.2.2	La Structure du réseau AFDX	30
2.2.3	La notion de Virtual Link	30
2.2.4	Le commutateur AFDX.....	32
2.2.5	Le problème de non déterminisme dans le réseau AFDX.....	34
2.3	Méthodes d'évaluation de performances.....	36
2.3.1	Caractérisation du délai de bout en bout d'un flux avionique.....	36
2.3.2	Approches envisageables pour la caractérisation des délais	38
2.3.2.1	L'approche par calcul réseau (<i>Network Calculus</i>)	38
2.3.2.2	L'approche par <i>model checking</i>	39
2.3.2.3	L'approche par modélisation en files d'attente et simulation.....	40
2.3.3	Synthèse de la démarche.....	41

Dans ce chapitre, nous présentons brièvement les systèmes avioniques, leurs spécificités et l'évolution de leurs architectures. Puis nous détaillons le système avionique que nous avons plus particulièrement étudié, c'est-à-dire le système ADCN (Aircraft Data Communication Network), reposant sur la technologie réseau AFDX (Avionics Full Duplex Switched Ethernet). Nous abordons le problème de non déterminisme dans le réseau AFDX de façon à montrer en quoi l'utilisation de ce nouveau type de réseau entraîne de nouveaux problèmes de qualité de service dans un contexte avionique.

Dans la deuxième partie, nous présentons les principales méthodes existantes qui permettent l'analyse de réseaux. Nous insistons sur le besoin de mettre en place une méthode permettant d'évaluer les performances du réseau avionique AFDX dans le contexte de trafic réel. Nous retenons l'approche par simulation pour l'évaluation des délais de bout en bout et l'obtention de la distribution de ces délais.

2.1 Evolution des systèmes avioniques

Le système avionique [SMcGraw93] [AvHand] est un ensemble de logiciels, calculateurs, bus, capteurs, actionneurs définissant des systèmes réalisant les "fonctions-avion", et respectant des contraintes temps-réel et des contraintes de criticité [DO-178B] [ARP4754]. Cet ensemble a pour fonction de :

- traiter les informations produites par les divers capteurs,
- présenter aux pilotes les informations sous une forme cohérente et adaptée,
- calculer les ordres de commande selon les lois définies,
- et enfin, réaliser de nombreuses autres fonctions ayant trait au contrôle du trafic aérien, au confort des passagers et à la gestion de la génération et de la distribution électrique à bord, etc.

Aujourd'hui, un aéronef de l'aviation civile peut embarquer jusqu'à 500 kg d'avionique, autant de câblage, occupant plusieurs mètres cubes contenant une centaine de boîtiers électroniques. Or il est attendu pour les prochaines années, une très forte demande en termes de nouvelles fonctionnalités à installer à bord. On peut ainsi voir venir une complexité grandissante des systèmes de l'avion.

Cette augmentation de complexité n'avait pas jusqu'à présent engendré de conséquences sur les communications des systèmes avionique. La plupart des systèmes utilisaient des liens de communication spécifiques, adaptés à leurs exigences particulières et mises en place pour répondre à leurs besoins temporels. Par ailleurs, l'apparition des technologies numériques en aéronautique s'est traduite par la généralisation des communications numériques embarquées qui sont essentiellement de deux types :

- Les communications qui sont dédiées au contrôle de processus sont associées à des systèmes d'échantillonnage de valeurs analogiques simples (comme la vitesse, l'altitude, l'attitude, l'orientation ...) et fonctionnent généralement dans un mode d'émission simple, aucune réponse n'est attendue suite à la transmission d'une donnée (pas d'acquiescement des transmissions).
- Les systèmes d'information embarqués qui sont basés sur des échanges d'informations plus complexes, impliquant généralement des données plus structurées (un plan de vol, une liste de passagers, une carte, météo ...) dans une logique d'échange d'informations (au moins un acquiescement de réception). Compte tenu des données échangées, les besoins en bande passante sont généralement plus importants par rapport aux systèmes de contrôle.

Par ailleurs, les contraintes techniques de communication diffèrent suivant le type de système. Les systèmes de contrôle présentent des contraintes temporelles (temps de transmission), des contraintes d'intégrité et de disponibilité. La stabilité du vol peut en effet dépendre du bon fonctionnement de la transmission. Face à ces contraintes, les principes de mise en œuvre sont également stricts : pas de ressource partagée (chaque source d'information se voit attribuer une ligne de communication dédiée), l'émetteur ne connaît pas le (ou les) récepteur(s), et enfin il n'y a pas de synchronisation temporelle entre les deux. Pour répondre à ces besoins, la norme ARINC 429 a été largement utilisée. Dans cette norme, chaque ligne physique de communication possède un émetteur et un seul et

est connectée à tous les systèmes souhaitant recevoir la donnée transmise. Chaque donnée est identifiée par un label (protégée par une parité), et émise sur le support selon sa périodicité de rafraîchissement.

Dans le contexte des systèmes d'information, les besoins sont généralement différents. La transmission doit être acquittée. Le délai de transmission n'est généralement pas critique et des messages peuvent être ré-émis si besoin. Pour répondre à ces besoins, les générations précédentes de systèmes embarqués aéronautiques se sont adaptées, mais en utilisant toujours la norme ARINC 429. Celle-ci a été « adaptée » pour incorporer des acquittements (A429 Williamsburg).

Au final, la complexité croissante des équipements embarqués limite les possibilités d'évolution. De manière générale, à l'instar de la loi de Moore pour la puissance des processeurs, on a établi [CC93] que la complexité des systèmes avioniques double tous les 5 ans. Cependant, l'évolution du marché aéronautique a conduit à une pression plus importante pour la réduction des coûts, notamment ceux liés à ces électroniques de communication spécifiques (le système avionique correspond à 30% du coût total d'un appareil civil) [M99]. Ainsi, la notion de l'avionique modulaire vise la réutilisation et le partage de ressources de traitement et de communication, et a comme objectifs :

- la transmission de données avec de fortes contraintes temporelles,
- la fiabilité des échanges d'information suivant le modèle client/serveur,
- la réduction des coûts par la réutilisation de composants commerciaux «sur étagère» mais avec des contraintes de certification.

Ainsi, après ce rapide aperçu de l'évolution des technologies aéronautiques et des nouveaux besoins du marché, nous présentons brièvement les architectures des systèmes avioniques modulaires.

2.1.1 Architectures des systèmes Avioniques

Le concept de l'avionique nouvelle, ou avionique modulaire intégrée repose sur l'existence, dans un avion, des sous-systèmes comme le système du train d'atterrissage, le système du fuel, celui des commandes de vol ...etc [AvHand].

En avionique classique, les équipements sont répartis dans tout l'avion à proximité des sous systèmes qu'ils commandent. Tous ces équipements sont reliés entre eux et au cockpit d'où proviennent les commandes. L'inconvénient majeur de ce modèle est le poids du câblage très élevé et aussi les coûts des équipements (environ 40% du coût d'un avion). Contrairement à l'avionique classique (jusqu'à l'Airbus A340), l'avionique nouvelle partage les ressources de calcul et de communication. Le but principal est de réduire les ressources matérielles, de limiter les types de cartes électroniques des systèmes avioniques et de les rassembler dans différents endroits répartis dans l'avion afin de réduire également le poids du câblage.

De nombreuses caractéristiques physiques et architecturales (distribution, asynchronisme, utilisation de ressources de traitement et/ou de communication partagées, etc.) ont un impact aussi sur la conception et les performances des systèmes embarqués.

Les systèmes avioniques sont soumis également à des contraintes très strictes pour garantir la sûreté de leur fonctionnement puisque la moindre défaillance d'un équipement classé critique implique des conséquences catastrophiques. Les systèmes avioniques sont très exigeants en termes de contraintes temps réel strictes, de complexité limitée, de taille, de volume et de poids assez réduits. Ils doivent en outre supporter les conditions de

fonctionnement délicate (température, pression, vibration, chocs, environnement électromagnétique).

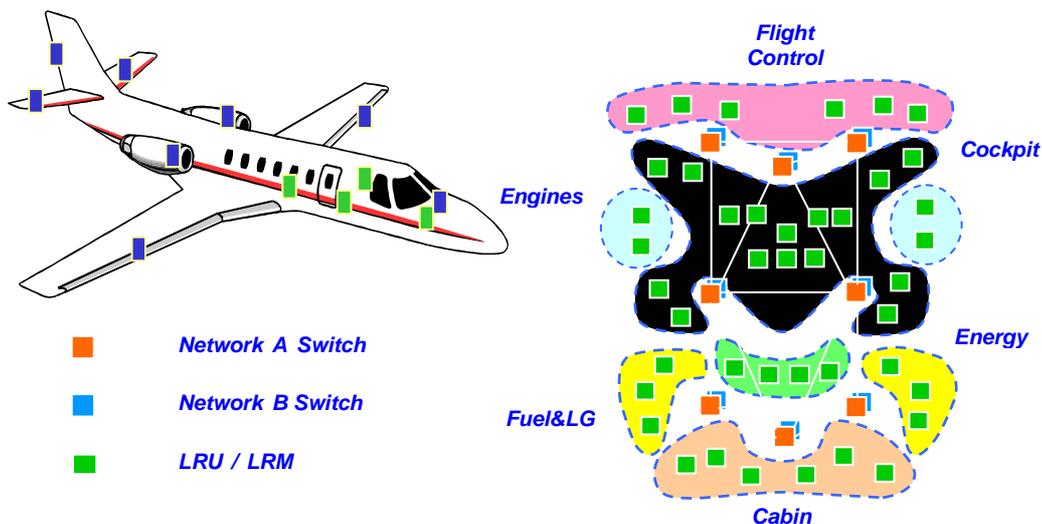


Figure 1: Réseau embarqué avionique

La nouvelle génération des systèmes embarqués pour l'aéronautique civile s'appuie sur le concept d'architecture modulaire intégrée IMA (Integrated Modular Avionics) [KO04]. L'avionique nouvelle, destinée aux futurs avions de la famille AIRBUS, est donc introduite pour résoudre les problèmes inhérents à l'évolution de l'avionique classique. Cette avionique est basée sur une architecture de type "systèmes", toujours distribuée physiquement à travers l'avion [DS01]. La nouveauté qu'elle apporte se présente sous la forme d'une modularisation et d'une standardisation de la plate-forme matérielle où s'exécutent les mêmes fonctions de l'avionique classique. Cette architecture est composée de calculateurs partagés et connectés entre eux par un réseau de communication partagé. Ce réseau est composé de bus numériques, de passerelles (Gateways) et de modules qui communiquent via des switches. L'IMA se rapproche d'un système informatique actuel où sont définies les ressources de mémoire, de calcul et de communication, qui seront partagées par plusieurs applications et accomplirons les différentes fonctions du système avionique.

L'avantage de l'IMA se manifeste par l'adaptabilité de cette architecture, en termes de modularité (il est possible de reconfigurer un appareil pour l'adapter à la mission envisagée), et de maintenance (grâce à la standardisation des cartes). Or l'utilisation de composants électroniques de nouvelle génération permet d'une part, de réduire l'encombrement et le poids de ces systèmes embarqués, et d'autre part, d'améliorer leurs performances. Ainsi une telle architecture offre une plate-forme homogène pour le développement et l'intégration de fonctions avioniques.

L'aspect mécanique de ces systèmes se présente généralement sous la forme d'un châssis hôte muni d'une interconnexion de type fond de panier, recevant les différents modules qui renferment les fonctions électroniques. Cette conception mécanique permet d'une part, de réduire les coûts de fabrication pour l'équipementier et d'autre part, de réduire les coûts de maintenance pour l'avionneur.

L'architecture physique est décrite par la norme ARINC 651 [ARI651]. Les ressources sont regroupées dans des modules génériques appelés LRM (Line Replaceable Module), qui sont à leur tour regroupés dans des étagères [DDG95], la communication au sein de ces

étagères étant réalisée avec des bus spéciaux, généralement du type ARINC 659 [ARI659]. Les modules peuvent être de trois types:

- Les modules cœurs sont ceux qui se chargent de l'exécution des applications.
- Les modules d'entrée/sortie permettent la communication avec des éléments ne respectant pas l'architecture IMA.
- Les modules passerelles servent à la communication entre étagères.

L'architecture logicielle est décrite par la norme APEX ("APplication/EXecutive") qui permet d'offrir aux applications une interface générique vers le système d'exploitation [ARI653] [KO04]. Le développement du logiciel est ainsi rendu indépendant du matériel sur lequel il sera exécuté, ce qui permet d'envisager des réductions de coût lors de la phase de développement logiciel. La norme ARINC 653 décrit deux modes de communication sur les ports : «sampling» ou «queuing». En mode sampling, les couches basses du réseau ne présentent aux applications que la dernière valeur de la donnée, la plus «fraîche». Dès qu'une nouvelle valeur de la donnée est reçue, elle écrase l'ancienne. Ce mode est particulièrement approprié pour des applications qui ont besoin de recevoir des données périodiquement. En mode queuing, les valeurs ne sont pas effacées systématiquement ; au contraire, elles sont stockées et présentées dans l'ordre de leur réception, jusqu'à ce que l'application concernée ait eu le temps de les lire. Ce mode est plus approprié pour des transferts de données aperiodiques, pour lesquels il est nécessaire que toutes les données soient lues.

La tendance actuelle du secteur aéronautique civil et militaire est de s'orienter vers ces systèmes électroniques embarqués. Airbus et plusieurs grands partenaires ont proposé une architecture avionique qui englobe tous les systèmes du réseau, depuis les systèmes de contrôle de l'appareil jusqu'aux systèmes destinés au confort des passagers (projet architecture ADCN) [VICT]. Le réseau avionique global de l'A380, est un exemple de ce type d'architecture, intitulée IME (Integrated Modular Electronics). Au sein de cette architecture IME, les systèmes essentiels seront regroupés dans un réseau protégé du « monde ouvert », et qui possèdera une architecture de type IMA. Comme cette architecture IMA n'impose pas de moyen de communication spécifique entre ses différents composants, Airbus a choisi pour l'A380 d'utiliser la technologie de l'Ethernet Commuté Full-Duplex [HP01].

2.2 Le Réseau avionique adopté : Le réseau AFDX

L'AFDX (*Avionics Full Duplex Switched Ethernet*) constitue une des évolutions technologiques majeures de l'avionique de l'A380 [ARI664.1]. En effet, pour la première fois sur un avion de cette catégorie, l'avionique est organisée autour d'un réseau Ethernet redondant et fiabilisé.

Au moment des premières définitions du standard AFDX (autour de 1999), les meilleurs candidats semblaient être la combinaison d'Ethernet et de TCP/IP parmi les technologies issues du marché de l'informatique [DEC05] [FEL05] et ATM parmi les technologies issues du monde des télécommunications. Les critères clefs pour les choix finaux furent les contraintes spécifiques de l'aéronautique (sécurité, problèmes temporels), l'arrivée de la commutation sur Ethernet (inspirée d'ATM) et la taille du marché de l'informatique généraliste face à celui des équipements de télécommunication [ARI646]. Le choix s'est donc porté sur la technologie Ethernet commutée (en mode full-duplex) [FCF-LAN].

	Speed (Bps)	Frame Size (bit)	Frames per second	Minimum of 429 buses to map 100base Tx
ARINC 429	100 Khz (max)	36	2778	54
ETHERNET	100 Mhz	12304	812	N/A

Tableau 1: Comparaison entre bus ARINC 429 et ETHERNET

L'utilisation de standards ouverts tel qu'Ethernet a permis de réduire les coûts de développement dans certains domaines. Notamment, dans le domaine de l'instrumentation de laboratoire, des outils standard peuvent être utilisés sans avoir à développer des outils spécifiques. Au niveau de la conception et du développement, il est également possible de s'appuyer sur des données et une expertise pré-existantes [DEC05] [FEL05]. Toutefois, ces bénéfices sont limités par la nécessité, dans le domaine aéronautique, de disposer de composants éprouvés et certifiés, que les composants commerciaux ne peuvent pas garantir à priori. Certains équipements doivent donc être réalisés spécifiquement pour le marché aéronautique.

Dans le réseau Ethernet commuté, les seules collisions possibles se situent au niveau des liens point à point. Pour éviter de telles collisions, la solution qui a été développée consiste à utiliser des liens bidirectionnels, qui opèrent selon le mode Full Duplex prévu dans la norme IEEE 802.3 [FCF-LAN]. Ce mode d'opération ne nécessite pas de retarder l'émission d'un message, ni même d'écouter ou de réagir à l'activité sur le médium physique, puisqu'il n'y a pas de collision possible sur ce médium. Ceci implique donc que l'utilisation de l'algorithme CSMA/CD n'est plus nécessaire [JNTW02].

On appelle ce type de réseau un réseau Ethernet commuté Full Duplex [FCF-LAN] [ARI664.7] qui prend en compte les contraintes temps réel et de certification du monde aéronautique [ARI664.2] [BREV03]. En fait, l'utilisation dans un contexte embarqué d'une technologie développée pour un autre contexte moins contraignant nécessite un certain « durcissement », c'est-à-dire une adaptation aux exigences aéronautiques. D'où le nom AFDX : *Avionics Full Duplex switched Ethernet* qui est la version avionique de l'Ethernet commuté Full-Duplex [BT03] [AFS02], l'AFDX est standardisé par la norme ARINC 664 [ARI664.1] [ARI664.23] [ARI664.7]. La norme ARINC 664 couvre aussi d'autres aspects, notamment la prise en compte ultérieure de besoins de confidentialité ou l'utilisation d'IPv6 (la figure 2 situe l'AFDX dans le cadre du modèle OSI).

Ces réseaux présentent l'avantage de ne plus posséder d'indéterminisme quant au temps d'accès au support physique, et de ne pas entraîner de pertes de trames par collision (dans le paragraphe 2.2.5 on montre qu'il est possible d'avoir des pertes de trames par congestion au niveau des ports de sortie). Par rapport aux réseaux Ethernet classiques, l'architecture Ethernet commuté Full Duplex permet également d'utiliser des liens plus longs, comme indiqué dans le paragraphe 29.4 de la norme IEEE 802.3. En effet, il n'est plus nécessaire d'écouter l'activité sur le lien physique, donc la limitation sur la longueur de celui-ci n'a plus lieu d'être. D'autre part, la topologie en étoile permet d'obtenir de meilleures performances en terme de débit pour chacune des stations connectées, puisqu'il n'y a plus de perte de bande passante due aux collisions de trames.

Au delà de la difficulté technique d'une première mise en œuvre à grande échelle, l'AFDX ouvre les portes à une nouvelle approche systémique de l'avionique et à l'introduction de technologies du monde « ouvert » (lorsque cela a un sens par rapport à la sécurité du vol).

Cette tendance se manifeste notamment par l'adoption d'AFDX par Airbus sur son nouvel avion A380 ou également dans le futur avion militaire A400M, ainsi que l'assentiment de Boeing pour ce nouveau standard [AFDX-CES].

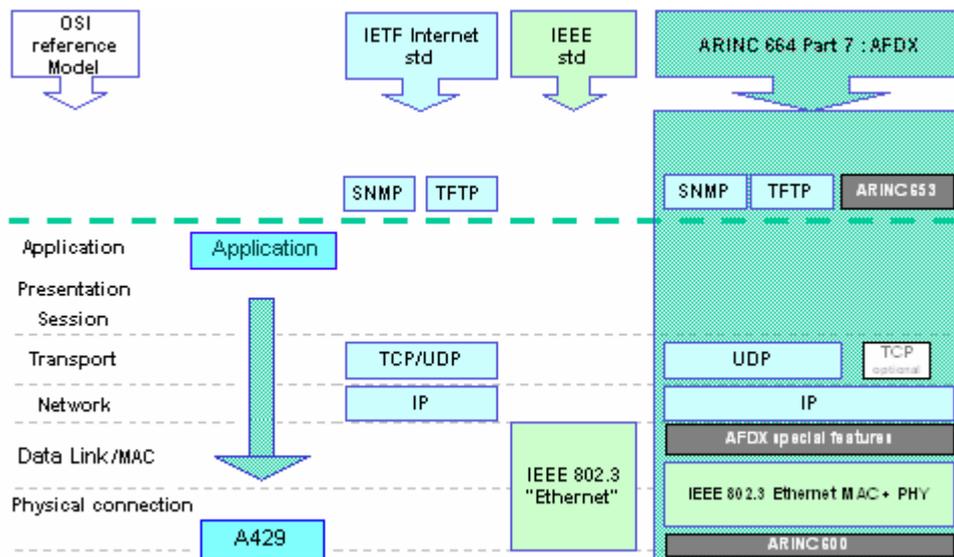


Figure 2: L'AFDX sur l'échelle OSI

2.2.1 Description de la norme ARINC 664 et du domaine d'application

L'AFDX répond aux objectifs d'un système de communication commun pour l'avionique modulaire. C'est une norme basée sur des standards ouverts. Il fournit des moyens de partage de ressources. Il fournit également des moyens robustes de ségrégation des flux ainsi que le déterminisme et la disponibilité requise, notamment du point de vue des contraintes de certification. La plupart des fonctions spécifiques à l'AFDX (notamment par rapport à Ethernet) sont concentrées au niveau de la liaison des données.

L'AFDX repose donc sur le principe d'un réseau Ethernet commuté. Ce dernier est construit avec des équipements terminaux chargés de l'émission ou de la réception des données et s'organisent autour des commutateurs chargés du transport des données.

La norme ARINC permet alors à toute la communauté aéronautique de réaliser des gains économiques liés à la réutilisation, sans pour autant compromettre les critères de performance très stricts de certaines applications avioniques. Parmi les standards qui seront adaptés, on retrouve principalement l'IEEE 802.3 [IE802.3], 802.1D [IE802.1], et IP [IETF]. La norme décrit l'architecture globale du système d'information embarqué dans un aéronef, et montre notamment comment intégrer des réseaux supportant des applications critiques (liées au contrôle de l'appareil), d'autres réseaux supportant des applications essentielles (gestion de la cabine et des passagers) et des réseaux destinés au confort et à l'occupation des passagers (cf. figure 3).

Le principal avantage de cette démarche est de fournir à toute l'industrie aéronautique un standard permettant l'interopérabilité à l'intérieur et entre plusieurs réseaux embarqués. La norme suggère que dans le système avionique, les applications devront être regroupées en domaines séparés, avec un domaine par niveau de criticité des applications. On trouvera

donc les applications critiques et essentielles regroupées au sein de domaines possédant un réseau profilé ou déterministe, alors que les applications non essentielles seront dans un ou plusieurs domaines possédant un réseau conforme. De cette façon, ces applications pourront réutiliser des logiciels du commerce, qui n'auront pas à être certifiés au sens du DO-178B [DO-178B].

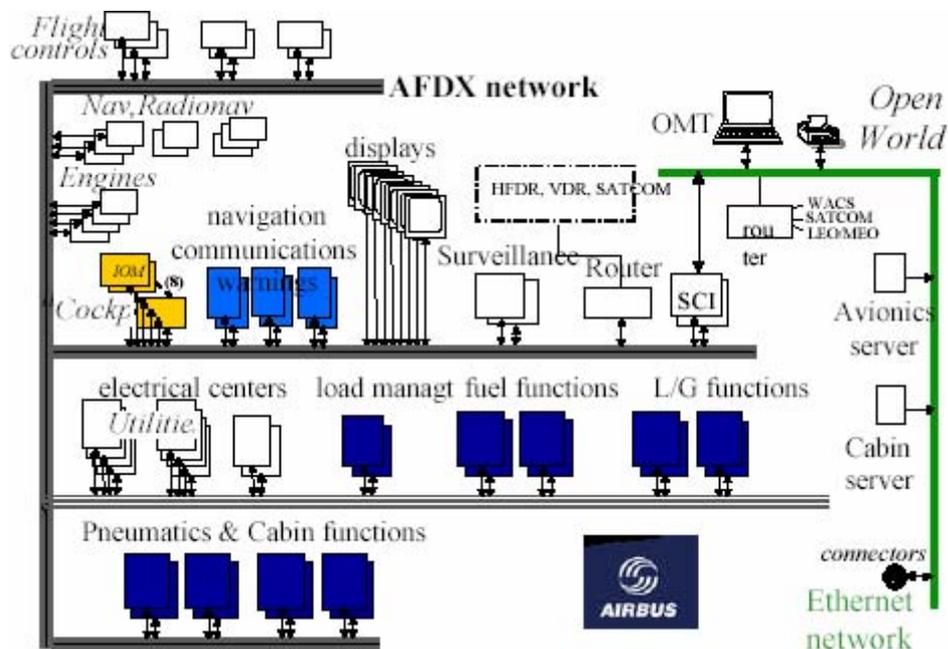


Figure 3: l'architecture globale du système d'information embarqué dans un avion

La conception du réseau de communication avionique est ainsi standardisée comme suit:

- Application et système : les applications et les systèmes qu'utilise le réseau de communication (transfert de fichier, terminal, système de calcul, ... etc.).
- Services : opérations de base fournies par les différentes couches du réseau aux couches adjacentes.
- Protocoles : ensemble de règles qui normalisent la formation des messages échangés entre les différentes couches.
- Caractérisation globale du réseau : réseau ADCN (Aircraft Data Communication System) qui est le système de communication développé pour l'A380, réseau conforme aux normes IEEE 802.3, IETF (Internet Engineering Task Force) et ARINC 664.
- Interopérabilité : considération de l'interopérabilité pour les deux types de réseaux : conformes (*Compliant Network*) et profilés (*Profiled Network*). Le réseau conforme renferme quelques restrictions concernant l'utilisation et les opérations tandis que le réseau profilé renferme des inconséquences de normalisation serrées.

2.2.1.1 Restrictions imposées pour les réseaux profilés

On peut classer les restrictions imposées en trois catégories, dont la dernière ne concerne que les réseaux déterministes qui sont l'objet de notre étude.

Configuration statique

La configuration du réseau doit être statique et entièrement connue avant le décollage. De cette façon, on évite tous les problèmes d'initialisation de réseau, ainsi que l'indéterminisme lié au temps de recherche des adresses, des routes, etc. Ceci implique entre autres que les tables de commutation (correspondance adresse MAC de destination / port(s) de sortie) doivent être configurées statiquement par l'intégrateur du système. La norme suppose en effet que ces réseaux utiliseront la technologie Ethernet commuté Full Duplex, et que les équipements transmettront des flux de données vers plusieurs destinations (caractère multicast). La commutation sera donc effectuée au niveau 2, sur la base d'adresses de groupe des destinations. De plus, des algorithmes comme l'ARP, le GMRP ou le *Spanning tree* ne sont pas nécessaires dans ce contexte et doivent donc être désactivés.

Isolation des erreurs

De manière générale, le réseau doit assurer un confinement des erreurs, c'est-à-dire qu'une erreur locale ne doit pas se propager et détériorer le comportement d'autres éléments. Ceci implique par exemple un filtrage des trames dans les éléments chargés de les relayer (commutateurs notamment). Ce filtrage permet de supprimer les trames de longueur incorrecte, ou corrompues (vérification du champ FCS), ou dont la source ou la destination ne sont pas identifiées. Une des conséquences de ce filtrage est que les éléments formant le réseau ne doivent pas fonctionner en mode « *cut through* » mais bien en mode « *store and forward* », car les trames ne doivent être relayées que si elles sont valides. Une autre conséquence est que le mode de communication « *broadcast* » est interdit pour tous les équipements.

Le réseau doit également isoler les flux de données les uns des autres : cette exigence oblige à insérer dans chaque trame un champ qui identifie de manière unique le flux auquel elle appartient. Cette identification permet de réaliser des opérations de contrôle de la bande passante, de vérification de l'ordre des trames, ou de détecter des usurpations d'identité. Si des commutateurs sont utilisés dans le réseau, la norme précise que le phénomène de « *head of line blocking* » ne doit pas intervenir : si une trame doit être commutée vers plusieurs ports, et que l'un d'entre eux est bloqué, cela ne doit pas empêcher la commutation vers les autres, ce qui renforce l'isolation des flux. Enfin, la norme précise que le réseau doit implémenter un protocole de surveillance du réseau, qui permet de garder la trace de tous les événements, comme les pertes de trames dans les commutateurs.

Trafic maîtrisé

La principale caractéristique des réseaux déterministes au sens de la norme ARINC 664 est que ce sont des réseaux qui garantissent une certaine qualité de service, qui doit être démontrée (cette qualité de service dépend des applications et est déterminée par l'intégrateur du système). Or une telle preuve n'est possible que si le trafic entrant dans le réseau est connu et maîtrisé. Cette exigence fait la spécificité des réseaux déterministes :

chaque source doit passer un « contrat de trafic » avec le réseau, et s'engager à le respecter; de son côté le réseau doit mettre en place des dispositifs visant à surveiller que les sources ne dépassent pas leur quota d'émission. Ainsi, les émetteurs de données doivent utiliser des régulateurs de trafic, alors que les commutateurs vont posséder des « policiers » c'est-à-dire des éléments qui rejeteront les trames en excès. La norme cite principalement le concept de *Virtual Link*, utilisé par Airbus, que nous décrivons plus explicitement dans le paragraphe 2.2.3 pour formaliser ce « contrat de trafic ».

2.2.2 La Structure du réseau AFDX

Globalement, le réseau est composé de commutateurs, qui sont les éléments clés de l'architecture, et de producteurs/consommateurs de données, qui sont les applications. Pour chaque application, l'équipement qui sert à se connecter au réseau, et qui gère la communication avec les autres équipements du réseau, se nomme l'*End System* [BT03] [AFS02].

Les commutateurs permettent la ségrégation des flux par un mécanisme de listes de contrôle d'accès (ACL) filtrant le trafic en fonction des adresses (Ethernet ou MAC) impliquées, de manière similaire aux premières générations de *firewall* IP du monde Internet ou aux équipements actuels de cœur de réseau. Afin de répondre au besoin de disponibilité du réseau, un réseau AFDX est physiquement redondant : chaque équipement terminal est capable d'émettre les messages sur deux canaux différents vers des ensembles indépendants de commutateurs capables d'assurer tous deux la transmission. La figure 4 montre un exemple de connexion entre *End Systems* via un réseau AFDX redondant. Ainsi, une interface d'un *End System* est composée de deux partitions pour les applications, chaque partition dispose d'une adresse IP. L'*End System* fournit différents modes de communication du point de vue avionique avec deux types de ports : Communication port (*Sampling or queuing modes*) et SAP (*TFTP: Trivial File Transfer Protocol*).

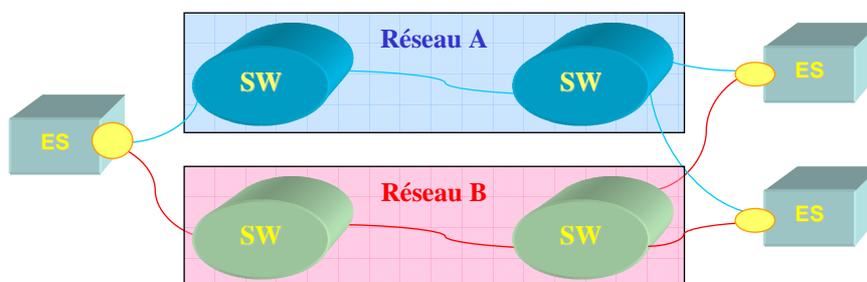


Figure 4: Redondance du réseau

2.2.3 La notion de Virtual Link

Le réseau AFDX définit, conformément à l'ARINC 664, une notion de canaux de communication virtuels. Le principal moyen de ségrégation robuste des flux est ainsi fourni par la réservation de bandes passantes au niveau d'un canal de communication ou VL (*virtual link*). Ces canaux sont associés à un émetteur et sont diffusés par des adresses de *multicast* (diffusion) Ethernet, cf. figure 5. Les commutateurs permettent la ségrégation des flux par un mécanisme de listes de contrôle d'accès (ACL) filtrant le trafic en fonction des adresses (Ethernet ou MAC), de manière similaire aux firewalls IP.

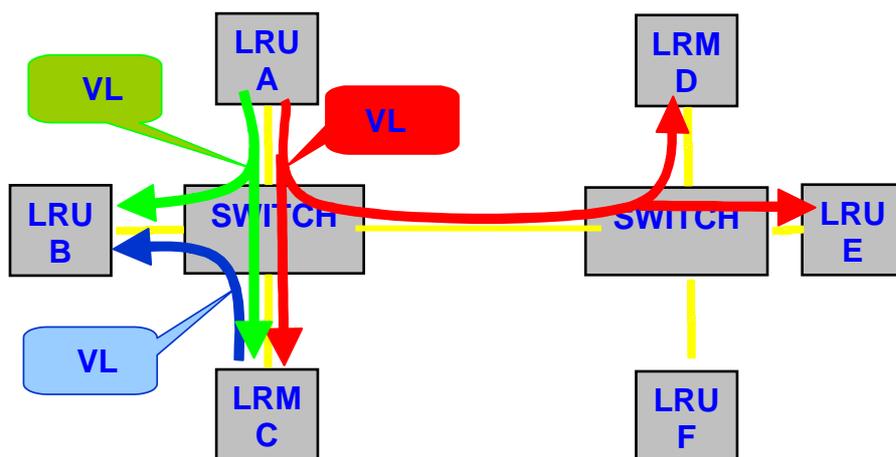


Figure 5: Les canaux de communications virtuels

L'avantage de cette notion est de contrôler l'ensemble des flux qui pénètrent dans le réseau. Un mauvais comportement d'un flux ne doit pas nuire aux autres flux, donc on garantit une séparation des flux visant à « virtualiser » un bus avionique classique pour chaque flux, qui serait le seul flux à émettre (mono émetteur). Le concept de lien virtuel permet alors de figer les communications entre les équipements en configurant les routes et les bandes passantes allouées aux liens virtuels. Ainsi, le flux formé par un lien virtuel est assuré de ne pas être perturbé par les autres flux partageant les mêmes liens physiques tout au long de sa route dans le réseau.

D'autre part, le concept de lien virtuel permet, par une gestion centralisée des flux, de s'assurer que la somme des bandes passantes allouées aux liens virtuels sur un même lien physique ne dépasse pas les capacités de la technologie de celui-ci. En effet, chaque VL est logiquement isolé des autres. Ces flux sont alors des connexions logiques d'échange entre les différents équipements du réseau où une source peut aussi transmettre des flux vers plusieurs destinations (Multicast). Le lien virtuel VL est ainsi vu comme un "tuyau" sur le réseau, comme illustré sur la figure 6.

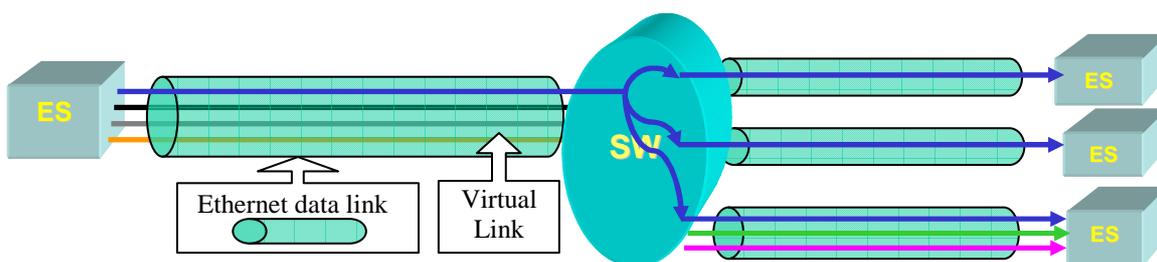


Figure 6: Flux de VLs multicasts

Afin de permettre la gestion des contraintes temps réel sur la transmission des données (pour les systèmes de contrôle), les VLs introduits par l'AFDX sont associés à des spécifications de bande passante (ou « contrats »). Ces spécifications incluent la taille maximale des trames transmises et le temps minimum entre chaque trame. Ces deux paramètres permettent alors d'évaluer la bande passante maximale autorisée pour un VL particulier. Le respect du contrat est surveillé par les commutateurs du réseau AFDX. Ainsi, le déterminisme des communications et le contrôle des temps de transmission sont

permis à la fois par le respect du contrat de bande passante et par l'utilisation de la commutation Ethernet qui évite les collisions et les ré-émissions (a contrario des concentrateurs Ethernet des générations technologiques précédentes). En résumé, un lien virtuel est donc caractérisé par :

- un sens de transfert, le lien virtuel étant mono-directionnel,
- un équipement source unique,
- un identifiant unique (numéro et nom de VL),
- une ou plusieurs adresses de destination,
- une route empruntée pour rallier ces destinations, un chemin figé sur le réseau,
- une taille maximale et minimale d'une trame (en bits, notées S_{max} et S_{min}),
- un temps minimum d'émission entre deux trames consécutives, appelé BAG (Bandwidth Allocation Gap). Le BAG est donné par la formule : $BAG = 1 \text{ ms} \times 2^k$, avec k entier de 0 à 7 ; soit 1 ms, 2 ms, 4 ms, 8 ms, 16 ms, 32 ms, 64 ms, et 128 ms.

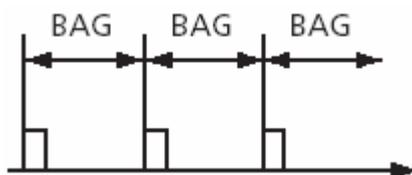


Figure 7: Illustration du Bag

On voit que ces dernières données permettent de définir la bande passante maximale du lien : il ne peut émettre au maximum qu'une trame de taille maximale toutes les BAG. Son débit maximal en bits par seconde, noté ρ , est donc :

$$\rho = S_{max} / BAG.$$

D'autre part, on peut aussi maîtriser d'une certaine façon le trafic entrant et se propageant dans le réseau. Globalement, l'utilisation des VL permet le calcul des latences de transmission maximales nécessaires pour atteindre les objectifs de certification du système dans le contexte aéronautique. Dans la pratique, ceci conduit également à sous-utiliser les capacités du réseau Ethernet sous-jacent.

Enfin, un flux de données dans le réseau AFDX est identifié avec un ensemble d'adresses de ports UDP/TCP de destination, les adresses IP de destination, les adresses MAC de destination et les connexions Ethernet physiques des *End Systems* de réception. Cela forme une connexion de bout en bout.

2.2.4 Le commutateur AFDX

Le commutateur est l'équipement le plus important dans le réseau Ethernet commuté. La norme qui définit ces équipements est la 802.1D [IE802.1]. On y apprend qu'un commutateur a trois rôles précis :

- relier et filtrer des trames [IE802.1p],
- tenir à jour les informations permettant de remplir le rôle précédent,
- gérer ces informations et surveiller son fonctionnement interne.

La structure du commutateur AFDX selon le cahier des charges aéronautique impose quelques restrictions sur sa modélisation ainsi que des caractérisations spécifiques liées à son utilisation :

- Un besoin spécifie que le commutateur fonctionne en mode Full Duplex, c'est-à-dire que l'émission et la réception en simultané sont possibles sur chaque port.
- Le processus de forwarding doit être indépendant du port d'entrée de la trame, et doit fonctionner selon le mode « store and forward », ce qui laisse supposer un fonctionnement en deux temps : un premier consacré à la réception de la trame et à son traitement, suivi d'un autre consacré à l'émission sur le bon port de sortie.
- Une trame doit être dirigée vers les bons ports de sortie, et le fonctionnement de ceux-ci est autonome: si un port ne peut émettre la trame, cela ne doit pas empêcher l'émission sur les autres ports.

Certains besoins du cahier des charges permettent de déterminer la valeur des délais, ou de caractériser le fonctionnement des commutateurs:

- les commutateurs doivent avoir une politique de service conservative (orientée travail) : ils doivent émettre les trames au plus tôt, ils ne doivent pas rester oisifs et doivent émettre dès qu'une trame est en attente.
- Le processus de monitoring n'influe pas les trames qui transitent par le commutateur. Les seuls délais fixes seront donc dus à la réception et au traitement des trames.
- Le filtrage des trames occasionne un délai inférieur à 8 μ s.
- L'envoi des trames vers le bon port de sortie occasionne lui aussi un délai inférieur à 8 μ s.

Quant aux fonctions du commutateur, un commutateur Ethernet 802.1D peut assumer toutes les fonctions suivantes :

Filtrage des trames

Le commutateur doit vérifier la conformité de chaque trame qu'il reçoit, selon trois critères :

- Longueur de la trame
- Intégrité de la trame : vérifiée grâce à la méthode classique du CRC.
- Adresse de destination de la trame : Elle doit être enregistrée dans les tables du commutateur comme étant une adresse valide.

Le commutateur doit éliminer toute trame non conforme à l'un de ces critères, et en faire mention dans son journal. Ces mesures permettent notamment de limiter l'influence d'une défaillance d'un élément sur le reste du réseau.

Filtrage du trafic

Pour chaque VL, le commutateur doit s'assurer que le trafic émis reste dans les limites fixées par le concepteur du réseau. Pour ce faire, il implémente une horloge qui vérifie le temps écoulé entre l'arrivée de deux trames. Si un écart de temps trop court s'est écoulé depuis le passage de la dernière trame, la nouvelle trame est détruite. Ceci permet notamment de bloquer les transmissions d'un abonné défaillant, qui émettrait sans cesse, tout en étant transparent aux autres VL.

Retransmission des trames

Le commutateur doit regarder le nom du VL auquel appartient chaque trame arrivant, puis le diriger vers le bon port de sortie. Ceci suppose la présence d'une table qui garantit la correspondance entre les adresses et les numéros de port.

Monitoring

Le commutateur doit en permanence vérifier le bon fonctionnement de tous les liens physiques qui le relie aux abonnés, ainsi que son propre fonctionnement. Il doit être capable de rendre compte de ce fonctionnement à tout moment, notamment en répondant à des requêtes périodiques.

2.2.5 Le problème de non déterminisme dans le réseau AFDX

Nous avons vu dans les paragraphes précédents que l'évolution de la complexité des systèmes avioniques a conduit les avionneurs à utiliser de nouvelles architectures, et au sein de ces architectures de nouveaux moyens de communication.

Cependant, la technologie utilisée pour ces moyens de communication ne comporte pas de mécanismes internes permettant d'assurer que le réseau offrira bien la qualité de service requise, qui comprend entre autres une latence maîtrisée, ainsi que l'absence de perte de trames par congestion. En effet, les commutateurs prescrits par la norme ARINC 664 sont conformes à la norme IEEE 802.1D, avec laquelle il est possible de perdre des trames par congestion. Ainsi, le problème est décalé au niveau des commutateurs, où les différents flux vont entrer en compétition pour l'utilisation des ressources du commutateur. Les confluences de trafic sont potentiellement sources de non-déterminisme:

- Des délais d'attente importants dus au stockage des trames dans les files d'attente en sortie des commutateurs.
- Une congestion au niveau du port de sortie du commutateur si trop de trafic se dirigent à un instant donné vers un seul port. Ceci va entraîner des pertes de trames par débordement de ces files d'attente. De la même manière, des rafales de trafic, dues à un encombrement passager d'un port du commutateur risquent à leur tour d'encombrer le commutateur suivant, ce qui entraîne également des pertes de trames.

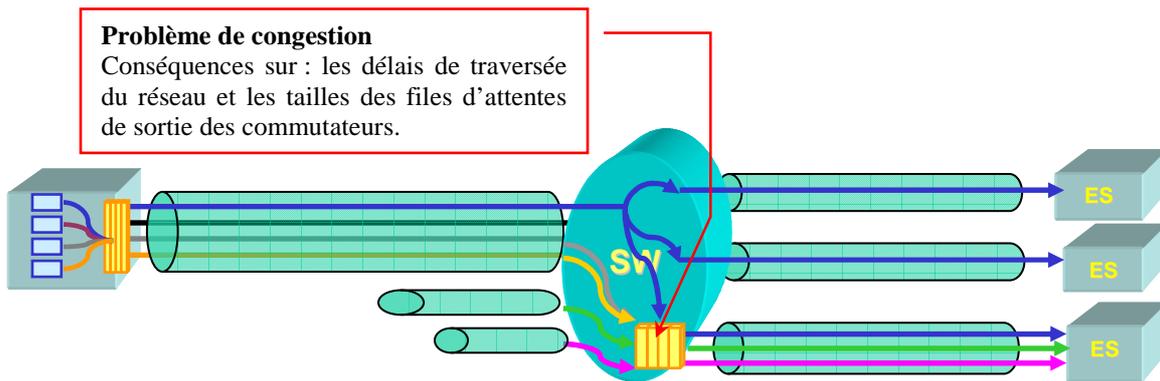


Figure 8: Le problème de congestion

Dès lors, il est nécessaire d'étudier si une telle saturation d'une file d'attente pourrait se produire dans le réseau, et le cas échéant si cet événement apparaît souvent dans le cas de trafic réel dans le réseau.

D'autre part, le processus de certification impose à l'avionneur (qui est responsable de tout l'appareil) de fournir aux autorités de certification, la JAA en Europe, la preuve que chaque fonction sera remplie conformément aux exigences exprimées. Le système avionique est bien entendu de niveau critique, et doit être donc certifié suivant les critères les plus stricts. La complexité de l'ensemble du système rend ce processus complexe. En accord avec les autorités de certification, la démarche retenue a été de certifier séparément le réseau, moyen de communication entre les différents équipements. De cette façon, on sépare en deux parties la complexité du problème : d'une part la question d'exécution de tâches temps réel, d'autre part les problématiques de communication.

On voit ici qu'il est alors fondamental d'étudier si le réseau offre bien la qualité de service requise, qui comprend entre autres la satisfaction des contraintes temporelles (le temps de séjour des trames, la gigue) ainsi que l'absence de perte de trames par congestion.

Dans la suite, nous nous intéressons aux caractéristiques temporelles du réseau et plus particulièrement à l'évaluation des délais de bout en bout.

2.3 Méthodes d'évaluation de performances

Nous avons vu dans les paragraphes précédents en quoi l'utilisation du nouveau type de réseau embarqué entraîne de nouveaux problèmes de qualité de service dans un contexte avionique.

2.3.1 Caractérisation du délai de bout en bout d'un flux avionique

L'un des points clés de cette étude est le délai de bout en bout des flux avioniques (les VLs). Celui-ci dépend fortement de la charge des éléments traversés par les différentes trames du flux considéré. Nous allons donc caractériser le délai de bout en bout d'un flux avionique, en nous appuyant sur le petit exemple de la figure 9. Celui-ci comporte cinq *End Systems*. Les quatre premiers émettent chacun un VL de BAG 4 ms et de longueur de trame 1000 octets. Tous les VLs sont à destination du cinquième *End System*. Les quatre VL partagent donc le port de sortie du commutateur.

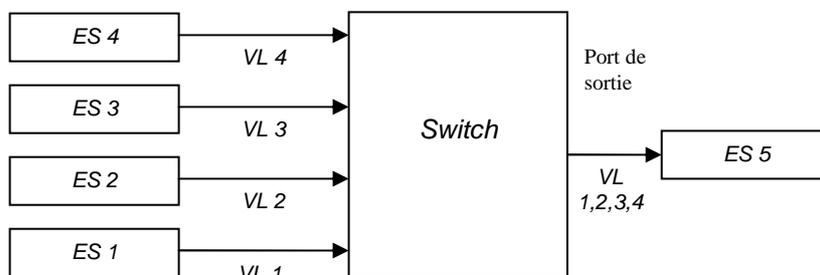


Figure 9: Exemple d'un réseau

2.3.1.1 Le délai minimum

Un premier cas de figure illustré par la figure 10, apparaît dès lors que, à l'instant où la trame du VL considéré arrive sur le port de sortie du commutateur, le lien de sortie associé est libre. La trame n'attend donc pas. Le flux avionique subit alors le délai minimum de bout en bout.

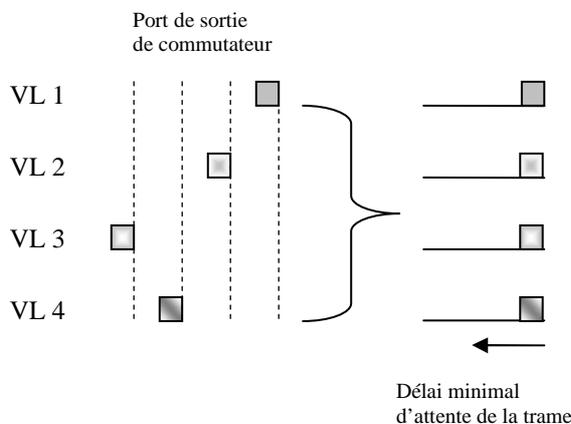


Figure 10: Illustration du cas d'un délai minimum.

Le délai minimum peut être calculé en additionnant les délais de traversée des commutateurs et les délais de transmission sur les liens [SM06]. Plus précisément, la valeur minimale $\hat{\lambda}$ du délai d'une trame d'un VL donné est calculée par [CSF06-1]:

$$\hat{\lambda} = N_i * (K + St_i) + St_i$$

- N_i : le nombre de commutateurs traversés par le VL,
- K : une constante de temps qui correspond au délai de filtrage et aiguillage dans un commutateur,
- St_i : le temps de transmission d'une trame sur un lien, il dépend de la capacité du lien et de la taille de la trame :

$$St_i = \text{Taille de la trame} / \text{Capacité du lien physique.}$$

2.3.1.2 Le délai maximum

Un second cas de figure, illustré par la figure 11, apparaît dès lors que la trame du VL considéré subit une attente maximale dans les files des ports de sortie des commutateurs. Cela conduit au délai maximal de bout en bout pour le VL. Dans le cas d'un seul commutateur traversé, cette attente maximale apparaît lorsque la trame du VL considéré (le VL1 sur la figure 11) arrive sur le port de sortie au même instant qu'une trame de chacun des autres VLs traversant le port (VL2, VL3 et VL4 sur la figure 11) et se retrouve en fin de file d'attente.

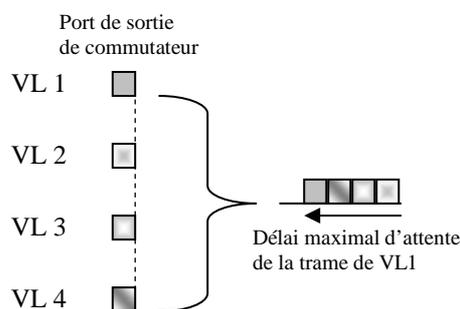


Figure 11: Illustration du cas d'un délai maximum.

Dans le cas d'un VL traversant plusieurs commutateurs, les scénarii conduisant au délai maximal sont le plus souvent très difficiles à déterminer.

2.3.1.3 La distribution des délais

Pour une exploitation industrielle, il est important de savoir où se situe le délai réel entre la valeur minimale et la valeur maximale. Pour cela, il est nécessaire de caractériser la distribution des délais. Intuitivement, on peut penser que le délai moyen d'un VL augmente avec la charge des ports de sortie qu'il traverse. Reprenons l'exemple de la figure 9. Chacun des VLs occupe 2% du débit disponible sur le lien de sortie (1000 octets correspond à 80 μ s, dans une période de 4ms). La probabilité que plusieurs VLs entrent en conflit sur le lien de sortie est donc très faible dans ce cas. Le délai de bout en bout sera donc le plus souvent très proche de sa valeur minimale. Lorsque la charge du lien augmente, la probabilité de conflit augmente, et le délai s'éloigne de la valeur minimale.

Pour un réseau de type AFDX assez faiblement chargé, on s'attend à obtenir une distribution des délais d'un VL donné de la forme présentée sur la figure 12 :

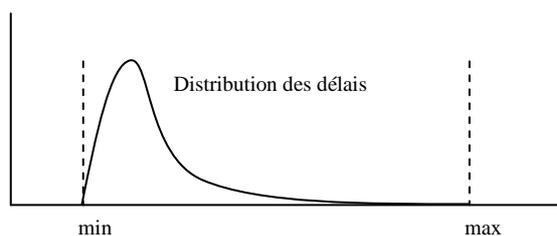


Figure 12: La distribution des délais.

2.3.2 Approches envisageables pour la caractérisation des délais

Nous présentons plusieurs approches complémentaires pour l'étude des délais de bout en bout et précisons pour chacune d'elles les résultats qu'elle permet d'obtenir. Il ne s'agit pas d'un panorama exhaustif, mais d'une brève présentation des approches que nous avons envisagées, compte tenu des contraintes d'un réseau de commutateurs.

2.3.2.1 L'approche par calcul réseau (*Network Calculus*)

Le calcul réseau est une théorie déterministe visant à borner les délais de traversée d'un système composé de différents éléments informatiques (e.g. réseau de commutateurs). Il est constitué d'un ensemble de résultats qui ont été présentés par Cruz en 1989 [CZ91-1] [CZ91-2], avant d'être considérablement enrichis par d'autres auteurs (CHANG en 2000 [CSC2000] [CSC94] [CSC98]), (LE BOUDEC en 2001 [JYB98] [JYB-NC]). A partir d'un modèle du réseau et des flux de données qui l'empruntent, le calcul réseau permet de calculer des bornes supérieures sur les tailles des files d'attente et les délais locaux.

Cette théorie a été principalement proposée dans le cadre de l'Internet avec IntServ (Integrated Services) [BCS94]. Elle a également été appliquée dans des contextes autour des réseaux Ethernet commuté [LH04] [GRD02] [JGU04]. Elle est bien adaptée aux contextes où les flux d'entrée dans le réseau sont régulés.

Le calcul réseau s'appuie principalement sur trois théorèmes (fondés sur l'algèbre Min-Plus), qui prennent comme hypothèse que, pour un élément, on connaît sa courbe de service et l'ensemble des enveloppes des flux qui le traversent [CZ95] [SCPS95] [ACOR99] [FF02]. Ces théorèmes permettent de borner, pour un élément donné, la taille maximale de la file d'attente, le délai maximum subi par un flux donné et les enveloppes des flux sortants. Il a été démontré que ces bornes peuvent être atteintes dans le cas d'un seul élément. En revanche, dans le cas d'un réseau comportant plusieurs éléments (e.g. plusieurs commutateurs), les bornes obtenues sont pessimistes.

Le calcul réseau permet donc de trouver, pour un VL donné, une borne supérieure de délai de bout en bout [JGU04] [GFF03] [FFG06]. Cette borne ne peut être atteinte que dans le cas d'un seul commutateur. Dans le cas général, elle ne peut pas être atteinte.

Une étude précédente a fait l'objet de la thèse de J.GRIEU [JGU04] qui a permis la certification d'une configuration industrielle du réseau AFDX en calculant une borne

supérieure du délai de traversée du réseau et une taille max des files des commutateurs (dimensionnement évitant les pertes de trame).

Cependant, la politique de service appliquée en sortie du commutateur influe bien évidemment sur le calcul de la borne. La modélisation de cette politique de service permet d'affiner la borne [JGU04].

D'autre part, des extensions stochastiques du calcul réseau [VB03] [VB012] ont été appliquées au contexte de l'AFDX. Elles ont permis de dériver une distribution des délais pour un commutateur [RSF07]. Il a été montré que cette distribution est pessimiste, mais on constate que la probabilité d'atteindre la borne obtenue par calcul réseau (*Network Calculus*) déterministe est nulle.

Le véritable objectif du calcul réseau était donc de fournir des valeurs sur les tailles de files d'attente ou les valeurs des délais dont on est sûr qu'elles bornent bien les valeurs réelles et qu'elles ne seront jamais dépassées, même dans le pire cas envisageable. Pour ce faire, et puisqu'il est extrêmement difficile de déterminer la configuration qui pourra aboutir à un cas pire, la méthode impose de considérer à chaque étape du calcul des hypothèses qui sont peut-être pessimistes. En résumé, cette méthode permet l'analyse du réseau avionique en vue de sa certification.

2.3.2.2 L'approche par *model checking*.

Le *model checking* est une approche analytique qui permet de déterminer l'exact pire cas de délai de bout en bout et son scénario correspondant [BBFL01] [LPU97]. Il désigne une famille de techniques de vérification automatique des systèmes dynamiques. Cette méthode formelle basée sur des automates [AD94], explore tous les états possibles du système. Elle consiste à vérifier algorithmiquement (à calculer) si un modèle donné, le système lui-même ou une abstraction du système, satisfait une spécification, souvent formulée en termes de logique temporelle. On peut distinguer deux aspects du *model checking* : Il peut s'agir de démontrer qu'une certaine classe de propriété, ou une certaine logique, est décidable, ou que sa décision appartient à une certaine classe de complexité. Il peut s'agir aussi de rechercher des algorithmes efficaces sur des cas intéressants en pratique, de les implémenter, et de les appliquer à des problèmes réels.

Une première étape du *Model Checking* consiste à exprimer le modèle considéré au moyen d'un graphe orienté, formé de nœuds et de transitions. Chaque nœud représente un état du système, chaque transition représente une évolution possible du système d'un état donné vers un autre état. Parallèlement, le système est décrit par un ensemble de propositions logiques atomiques. Chaque état du graphe orienté est étiqueté par l'ensemble des propositions atomiques qui varient à ce point d'exécution.

La deuxième étape du *Model Checking* consiste à exprimer la négation de la formule de logique temporelle à tester. La négation de cette formule est elle-même transcrite sous forme d'une structure capable de reconnaître exactement l'ensemble des exécutions satisfaisant la négation de la formule donnée.

La troisième et dernière étape consiste à réaliser le produit cartésien synchrone des deux structures obtenues précédemment. Énumérer explicitement tous les états de l'automate peut être coûteux, c'est pourquoi on procède généralement par des méthodes symboliques. Ces dernières, répandues pour la vérification de propriétés exprimées dans la logique

temporelle arborescente, sont fondées sur la représentation des états et des transitions du système par des ensembles. Ces techniques sont souvent plus efficaces pour les systèmes présentant un fort degré de concurrence mais font intervenir des mécanismes trop lourds pour des systèmes séquentiels.

L'approche par *model checking* a déjà été explorée sur plusieurs architectures réseau (par exemple, [ESF06]). L'application de cette méthode dans le contexte de cas pire des délais de bout en bout peut s'effectuer, ces derniers peuvent être obtenus à partir des modèles formels d'automates temporels. Le *model checking* sera utilisé pour déterminer la latence de transmission globale de chaque trame dans le système tout en vérifiant que la trame est reçue avant le délai de transmission globale. En d'autre terme, on vérifie la propriété que pour un message donné (m_i), le délai de transmission globale d'une trame ($trame\ i$), noté $d(trame\ i)$ doit être inférieur à un délai borné d_i : $d(trame\ i) \leq d_i$. A partir de cette méthode d'automate de tests on peut procéder à la vérification. On construit un automate de test [ABO98], qui code la propriété considérée. Puis en calculant, le *model checking* vérifie si un rejet de nœud est accessible ou non.

De cette façon, on peut analyser le délai de bout en bout dans le contexte de pire cas, et on s'offre l'avantage d'avoir des informations relatives aux valeurs maximales exactes obtenues. Cette méthode a été utilisée sur des exemples simples de réseau [CSEF06], et a abouti à des résultats intéressants de sorte qu'on a pu déterminer le vrai délai pire cas et son scénario correspondant.

Cependant, l'application de l'approche *Model Checking* sur une configuration réelle du réseau AFDX n'est pas possible, puisqu'elle conduit à un très grand nombre de calculs d'états (une explosion combinatoire) [CSEF06] [AVDL06]. Elle permet cependant de mieux comprendre le comportement pire cas de réseaux sur de petits exemples.

2.3.2.3 L'approche par modélisation en files d'attente et simulation

Cette approche reprend la démarche classique de modélisation d'un système informatique par un réseau de files d'attente [BAY00]. La simulation représente un ensemble de techniques stochastique permettant d'approcher le comportement d'un système quelconque.

Compte tenu de la complexité du système modélisé, les méthodes classiques de résolution analytique (décomposition sous forme produit, agrégation) ne peuvent pas s'appliquer. En outre, les flux d'entrée ne sont pas Markoviens. Dans ce cas de figure, la méthode usuelle et classique d'exploitation de ce modèle est la simulation à événements discrets (la suite des instants d'observation est définie par les instants d'occurrence d'événements). Celle-ci, en plus de sa flexibilité, présente les avantages suivants :

- On peut agir très facilement sur les paramètres et déterminer ainsi leur influence sur le comportement du système étudié ;
- On connaît à tout moment l'état du système ;
- Une fois le modèle de simulation réalisé, on peut faire (et refaire) un grand nombre d'expériences avec des conditions initiales déterminées.

Une étape importante dans le processus de la simulation est constituée par la modélisation du système réel [JAIN91] [FP89]. De nombreux modèles de simulation ont été employés pour analyser le comportement des réseaux informatiques et de télécommunication. La

démarche par simulation est souvent utilisée pour constituer des réseaux composés de stations de travail, de hubs, de Switchs, de routeurs et de câbles et pour simuler le fonctionnement de ces réseaux à tous les niveaux du modèle OSI (Ethernet, IP, etc.). Elle a été utilisée pour étudier le fonctionnement et les performances des réseaux haut débit dans lesquels l'information est transmise sous forme d'unités discrètes (trames, paquets ou cellules, etc.), comme les réseaux ATM et TCP/IP [ROB96] [PHAM96] [CHR98] [ROS00] [SM06].

Ainsi, il existe des bibliothèques et des outils logiciels (simulateurs) qui permettent l'analyse des réseaux classiques. Par exemple, l'OPNET (Optimum Network Performance) est un outil de simulation de réseaux très puissant [OPT]. Il dispose de trois niveaux hiérarchiques imbriqués (network, node et process domains) qui permettent de définir la topologie du réseau, la constitution des nœuds et le rôle de chaque module programmable. Il permet ainsi de faire des tests dans des conditions très proches de la réalité, avec par exemple, des machines implémentant une pile TCP/IP sur un réseau Ethernet [CHAN99] [KUM05].

Cependant, ces outils ne sont pas bien adaptés au contexte de l'Ethernet commuté et encore moins à l'AFDX. Il n'existe pas de modèle de simulation regroupant l'ensemble des fonctions avioniques ainsi que les éléments du réseau, mais une collection de modèles, décrits dans des formalismes différents et à des niveaux de détails différents. L'utilisation de modèles de simulation existant n'est donc pas envisageable. On a donc besoin de développer un modèle spécifique pour analyser le réseau avionique AFDX. Celui-ci doit être assez fidèle et cependant exploitable pour permettre l'obtention de la distribution des délais de bout en bout.

D'autre part, la simulation du modèle de réseau nécessite la définition d'un ensemble de scénarii représentatifs de phénomènes possibles pour un trafic. Dans notre contexte, celle-ci peut être mise en œuvre de la manière suivante : on injecte les flux d'entrée en faisant varier pour chaque VL les paramètres (longueur de la trame, BAG, gigue) et on mesure pour chaque VL les délais obtenus. Chaque jeu de paramètres correspond à un scénario. Si l'ensemble des scénarii est représentatif de la réalité on peut donc obtenir une distribution des délais pour chaque VL. Dans notre étude, on considère de manière expérimentale que la simulation converge pour un ensemble de scénarios si la distribution obtenue n'est pas différente avec un ensemble de scénarii plus grand.

Cette distribution complète la borne supérieure obtenue, par exemple, par une approche de type calcul réseau, en donnant des informations sur les valeurs réelles des délais de bout en bout. Ceci permet à la fois d'obtenir la certitude que le trafic de leurs réseaux embarqués respecte bien les contraintes temps réel fixées (bornes sur les délais, ...) mais aussi d'avoir des informations sur les valeurs probables de ces délais. Dès lors, il est indispensable de recalculer les résultats obtenus par simulation à l'aide d'une configuration de test.

2.3.3 Synthèse de la démarche

L'utilisation des méthodes présentées dans le paragraphe précédent peut être illustrée sur l'exemple de la figure 13.

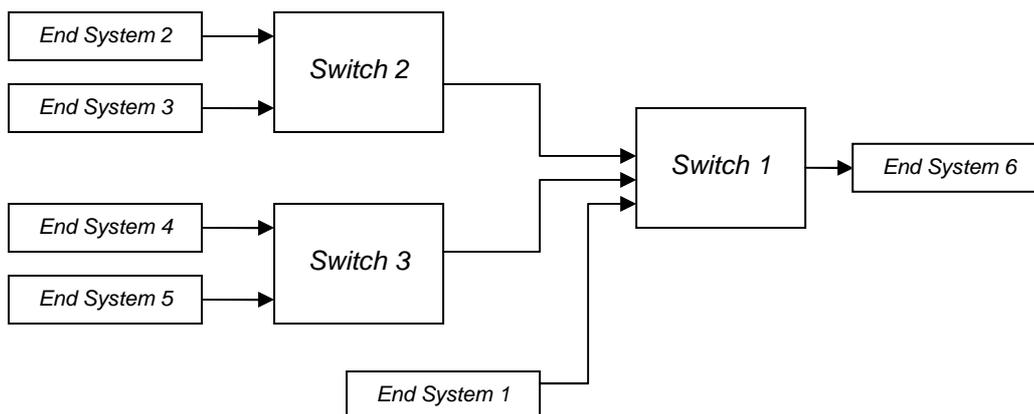


Figure 13: modèle simple du réseau

Le modèle de ce réseau est composé de trois commutateurs Ethernet et de six *End Systems* dont les cinq premiers émettent un seul VL chacun. Ces VLs sont à destination du sixième *End System*. Nous considérons pour tous les VL des BAGs à 4 ms, et des trames de tailles 500 octets. Ainsi, la latence de transmission du lien physique est de 0.04 ms. Nous supposons aussi que le délai de routage dans les commutateurs est nul, et qu'il n'aura aucune d'influence sur les trois méthodes.

A partir de ces hypothèses nous avons mené une comparaison entre les délais pires cas obtenus par les automates temporisés (*Model Checking*), le calcul réseau (*Network Calculus*) et la simulation.

Le délai minimal calculé est de 120 μ s. D'autre part, l'approche par calcul réseau (*Network Calculus*) trouve une latence majorante de 0.278 ms. Le calcul par *Model Checking* trouve l'exact délai pire cas, de 0.240 ms, et le scénario correspondant. Par simulation on obtient une distribution des délais de bout en bout proche de la valeur minimale, ce qui est normal dans la mesure où le réseau est peu chargé.

Plus généralement, on s'attend à se retrouver dans le cas de figure suivant (figure 14):

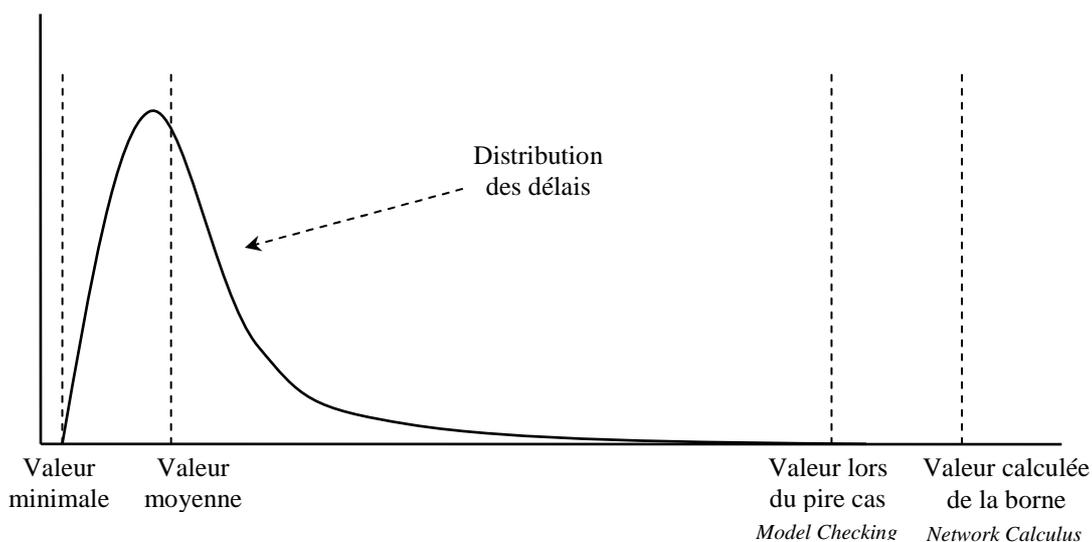


Figure 14: Borne calculée et valeurs réelles

Le schéma ci-dessus peut illustrer par exemple la situation, pour une trame de VL (d'un chemin de VL), du délai de bout en bout dans le réseau. En moyenne, il est très probable que le délai soit beaucoup plus faible que dans le cas pire, puisque ce cas pire ne peut arriver que dans des situations très précises, correspondant par exemple à des arrivées simultanées de trames en provenance de plusieurs sources. D'autre part, la borne calculée doit majorer la valeur réelle de la latence, même dans le cas pire. La borne calculée est aussi strictement supérieure à la valeur réelle, puisque de nombreuses approximations ont été faites au cours de la démarche de calcul, et c'est toujours de manière conservative. Alors, il est raisonnable de penser que la majorité des délais de traversée est souvent située plus proche de la valeur minimale calculée.

Dans le cadre de ce travail on s'intéresse à l'obtention de la distribution des délais, on adopte alors une approche par simulation. Cette approche nous permet ainsi de compléter la démarche d'évaluation globale des performances du réseau et d'étudier le comportement moyen du réseau, tout en découvrant des valeurs supérieures atteignables et plus probables.

Dans la suite nous proposons une modélisation du réseau permettant l'obtention de la distribution des délais de bout en bout. Nous nous intéressons à la définition de ce qu'est un scénario de simulation, et nous montrons comment nous sommes capables de trouver un ensemble de scénarii représentatifs.

D'autre part, afin d'évaluer la situation des répartitions des délais obtenues par simulation par rapport aux bornes majorantes des délais obtenues par le calcul réseau (Network Calculus), nous utilisons l'outil réalisé par Grieu [JGU04] lors de sa thèse. On génère les configurations à comparer sous format d'un fichier d'entrée standard (.ncd) et nous obtenons des résultats par port de sortie concernant la borne sur le délai de séjour des trames de VLs qui traversent ce port. Ensuite, nous faisons le calcul (addition des délais) pour le chemin complet.

CHAPITRE 3

Construction d'un modèle de simulation

Sommaire

3.1 Définition d'un scénario de simulation	46
3.1.1 Paramètres influents sur le délai de bout en bout	46
3.1.1.1 Occupation des BAG	46
3.1.1.2 Taille des trames	47
3.2.1.4 Le déphasage entre les trames de VLs	49
3.1.2 Hypothèses de simulation	50
3.2 Modèle de simulation du réseau	51
3.2.1 Modélisation des éléments du réseau	51
3.2.1.1 L'End System	51
3.2.1.2 Le commutateur	53
3.2.2 Modèle de simulation général	55
3.3 Premiers résultats de simulation	56
3.4 Application sur une configuration réelle du réseau	60
3.4.1 Présentation générale du réseau	60
3.4.2 Difficulté de la simulation : le nombre de scénarii possibles	64
3.5 Conclusion	65

Les travaux présentés dans ce chapitre ont pour objectif de définir les hypothèses prises en compte lors de la construction du modèle de simulation, et de déterminer les scénarii de simulation qui permettent l'analyse du délai. Pour ce faire, nous nous penchons tout d'abord sur l'étude des paramètres caractérisant les flux de VL pour définir le trafic en entrée du réseau. Ensuite, nous développons un modèle de simulation basé sur une modélisation en éléments simples du réseau avionique. Enfin, nous analysons les délais de bout en bout sur un modèle simple de réseau. Nous concluons ce chapitre sur la nécessité de réduire l'espace de la simulation vu le nombre important de scénarii possibles pour simuler les VLs d'une configuration industrielle réaliste.

3.1 Définition d'un scénario de simulation

Dans le chapitre précédent, nous avons proposé l'approche par simulation pour évaluer les délais de bout en bout et obtenir leurs distributions. Afin de mettre en place cette approche, il est fondamental de définir les hypothèses de simulation à prendre en compte lors de la construction du modèle de simulation qui permet cette analyse.

Dans cette section, nous étudions l'influence sur le délai de bout en bout des paramètres caractérisant les flux de VLs, afin de définir les scénarii de la simulation.

3.1.1 Paramètres influents sur le délai de bout en bout

Comme présenté au chapitre précédent, le délai de bout en bout d'une trame Tr d'un VL dépend des temps d'attente dans les files des ports de sortie des commutateurs. Ces temps d'attente sont fonction des nombres de trames présentes sur ces ports de sortie au moment où Tr arrive. Ces nombres de trames dépendent, d'une part du nombre de VLs traversant chacun de ces ports, d'autre part des instants où les trames de ces VLs arrivent sur ces ports et de leur longueur.

Le nombre de VLs traversant chaque port est défini statiquement pour une configuration donnée. En revanche, les instants d'arrivée des trames sur les ports ne sont en aucun cas statiques.

Les paragraphes suivants détaillent les paramètres qui influent sur ces instants d'arrivée, à savoir, le taux d'occupation de BAG, la taille de la trame et le déphasage entre les trames de VLs.

3.1.1.1 Occupation des BAG

On a vu dans le chapitre précédent que dans le réseau AFDX, un régulateur de trafic est associé à chaque flux de VL pour assurer un temps minimum entre deux trames consécutives d'un même VL (définition du BAG). Cette garantie en terme de temps minimum d'inter-émission définit de ce fait un débit maximal de trafic à ne pas dépasser. Ainsi, toute trame émise avant l'écoulement de cette période sera retardée. Cependant, le trafic réel génère des trames avec un débit généralement inférieur à la fréquence $1/BAG$. En fait, l'affectation d'une bande passante et d'un temps inter-trame (BAG) pour un lien virtuel ne veut pas dire que des trames vont être systématiquement émises sur le lien virtuel tous les temps BAG et occuper toute la bande passante allouée. Ces trames ne sont émises sur le lien virtuel que lorsqu'une application les met à disposition de l'émission dans ce lien virtuel. On peut distinguer pour chaque VL deux cas de figure :

- Dans le premier, nous considérons le scénario où les trames sont générées en utilisant le BAG comme période, nous nous situons donc dans le cas du trafic maximal. Ainsi, la probabilité d'envoi d'une trame dans une période est alors égale à un : $P_{bag} = 1$ (occupation de BAG à 100%).
- Dans le deuxième, nous considérons le scénario où les trames sont générées sporadiquement, en utilisant le BAG comme une période minimale. La probabilité d'envoi d'une trame dans une période est alors comprise entre zéro et un : $0 < P_{bag} \leq 1$ (Occupation de BAG inférieure à 100%).

Nous considérons un exemple de quatre VLs (VL1, VL2, VL3 et VL4) qui arrivent à un port de sortie. Ces VLs sont tous de même BAG et de même taille de trame.

La figure 15 illustre les deux cas de scénarii. Dans le premier, en haut, le taux d'occupation de BAG est à 100 % ($P_{bag} = 1$), le trafic est alors maximal. Le délai d'attente de la dernière trame qui arrive au port de sortie est ainsi maximal.

Dans le deuxième, en bas, le taux d'occupation de Bag est inférieur à 100 % ($P_{bag} < 1$) pour les différents flux de VLs. Le délai d'attente de la dernière trame qui arrive au port de sortie est inférieur à celui dans le premier cas de figure d'une part, et varie selon le nombre de trames de VL présentes dans le port de sortie du commutateur d'autre part.

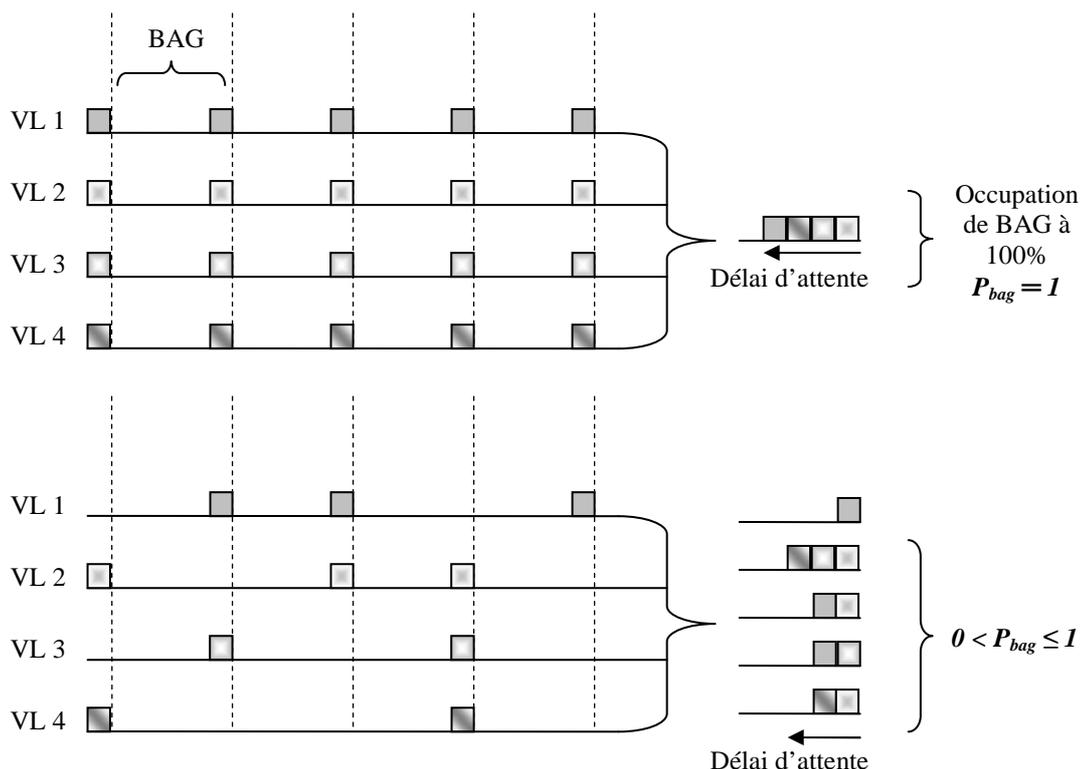


Figure 15: Illustration de l'occupation de BAG

L'influence de ce paramètre n'a pas été évaluée dans le cadre de cette thèse. Nous ne disposant d'aucune information quant au taux réel d'occupation de ces BAGs. Nous avons systématiquement considéré un taux d'occupation des BAGs de 100 %.

3.1.1.2 Taille des trames

Les trames AFDX ont une longueur allant de 46 à 1500 octets de données (le format des messages est celui des trames Ethernet classiques, avec une modification mineure). Le fichier de configuration de l'architecture du réseau AFDX décrit la structure des trames en les caractérisant entre deux valeurs de tailles : une taille minimale (S_{min}) et une taille maximale (S_{max}). Ces valeurs sont renseignées pour chaque VL. Dès lors, dans une application donnée, nous pouvons trouver des trames avec de grande différence entre les

deux tailles, par exemple : $S_{min} = 84 \text{ octets}$ et $S_{max} = 1495 \text{ octets}$. En terme de temps de service au niveau des ports de sortie, cette différence engendre une multiplication par 18 du délai : $d_{S_{min}} = 6,72 \mu s$ et $d_{S_{max}} = 119,6 \mu s$. Cela va s'accumuler à chaque passage dans un élément de réseau ; d'où l'influence du paramètre de longueur de trames sur le délai de bout en bout.

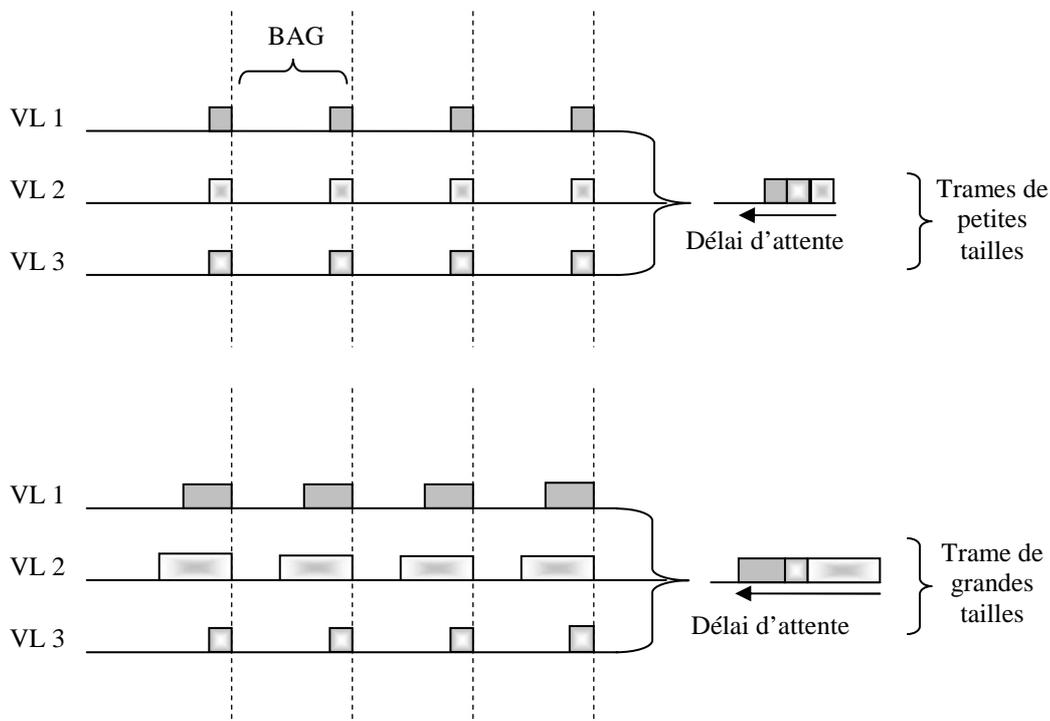


Figure 16: Illustration de la variation de taille des trames

La figure 16 illustre deux cas de scénarii sur un exemple de trois VLs (VL1, VL2 et VL3) qui arrivent à un port de sortie. Ces VLs sont tous de même BAG mais de tailles de trame différentes. Dans le premier cas, en haut, on considère la longueur minimale des trames pour tous les VL. Dans le deuxième scénario, on considère la longueur maximale des trames pour tous les VL.

On remarque bien que le délai de bout en bout croît globalement avec la longueur des trames. Si deux trames arrivent en même temps à un port de sortie d'un commutateur, la deuxième servie doit attendre forcément le temps que la première soit traitée. Alors, ce temps de service dépend de la taille de cette trame (*temps de service = taille de la trame / capacité du lien physique*). Si les trames sont de grandes tailles, le délai d'attente va être ainsi plus important. En accumulant ces délais à chaque traversée d'un commutateur, le délai de bout en bout va être assez conséquent.

Toutefois, sur les applications industrielles étudiées avec AIRBUS, plus de 80% des VLs ont une taille fixe de trame. L'influence de la longueur de trame s'avère donc très faible sur les délais de bout en bout.

3.2.1.4 Le déphasage entre les trames de VLs

Le déphasage à l'émission est défini par le décalage temporel entre les trames des VLs au démarrage de l'application. Dans le petit exemple suivant deux cas de figure sont considérés:

- Le cas synchronisé, dans lequel la première trame de tous les VL est transmise en même temps,
- Le cas désynchronisé, dans lequel on considère pour chaque trame de VL une phase comprise entre 0 et son BAG.

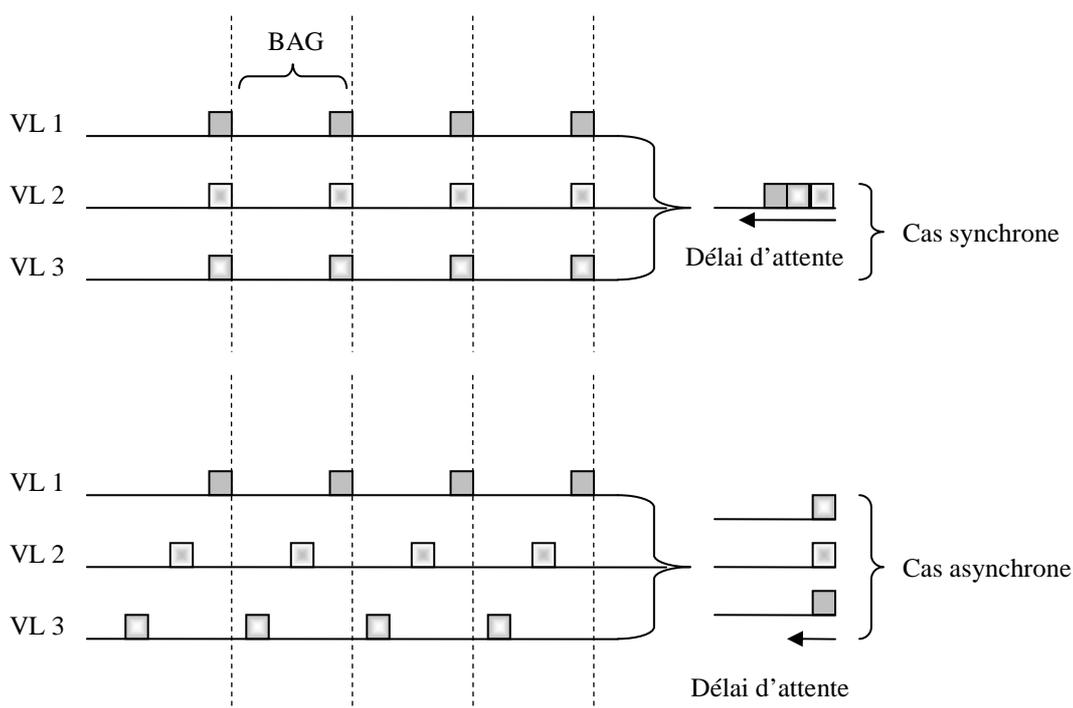


Figure 17: Illustration du déphasage

La figure 17 illustre les deux cas de scénarii sur un exemple de trois VLs (VL1, VL2 et VL3) qui arrivent à un port de sortie. Ces VLs sont tous de même BAG et de même taille de trame.

Dans le premier, en haut, on considère le cas synchrone : les trames des trois VLs sont émises en même temps. Au niveau du port de sortie ces trames vont être servies simultanément, le délai d'attente est alors maximal (on suppose qu'aucune latence n'est engendrée par le réseau). Dans le deuxième scénario, on considère un exemple du cas asynchrone : les trames des trois VLs sont émises avec un déphasage entre eux. Ainsi, les trames de chaque VL arrivent au port de sortie et seront les seuls à être servies. Le délai d'attente est dans ce cas minimal.

D'après cet exemple, on remarque bien que le délai dans le cas synchrone est trois fois plus grand que celui dans le cas asynchrone, ce qui constitue une différence importante.

Les déphasages dans une application réelle peuvent être quelconques, ils influent donc fortement sur les délais de bout en bout.

3.1.2 Hypothèses de simulation

Dans les paragraphes précédents on a vu que les paramètres caractéristiques des flux à l'entrée ont une influence différente sur le délai de traversée d'un VL dans une application industrielle.

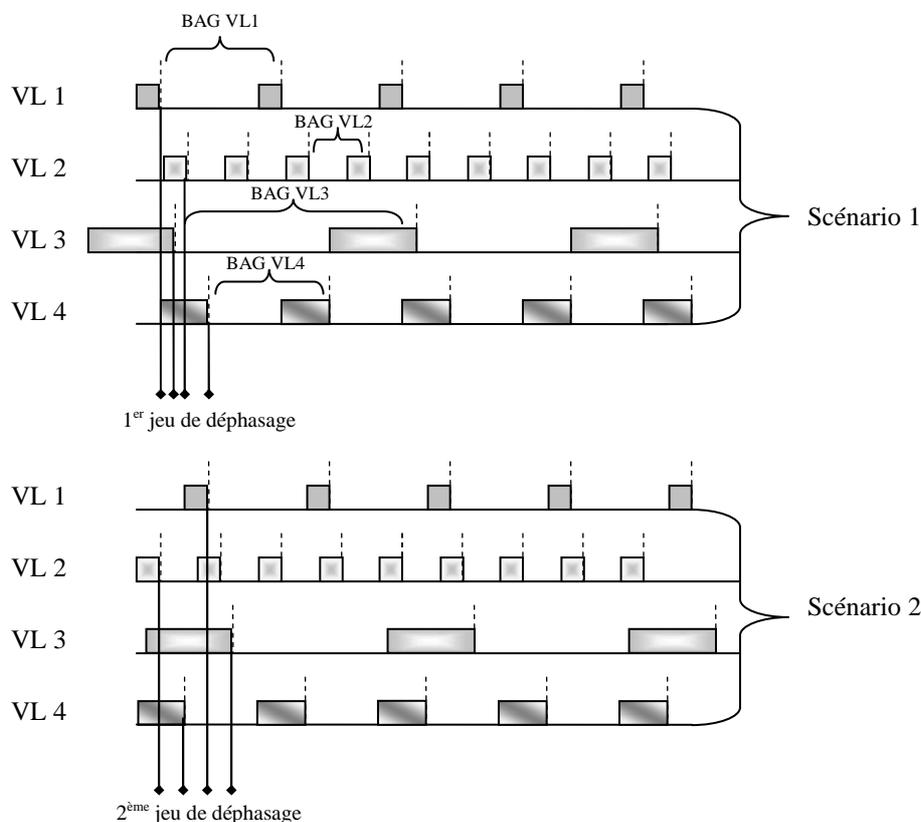


Figure 18: Illustration d'un scénario de simulation

Dans la suite de notre étude nous considérons les hypothèses suivantes durant les simulations :

- Une taille fixe pour les trames de chaque VL, vu que l'influence de la longueur de trame semble très faible sur les délais de bout en bout. La valeur pourrait être celle de la taille maximale ou minimale de chaque VL.
- Un trafic maximal régulier (occupation de BAG , $P_{bag} = 1$) : les trames de VLs sont générées périodiquement tous les BAG , ce qui implique un temps fixe entre deux trames successives de chaque VL (pas de trous d'émission entre les trames d'un VL).

Le paramètre variable pour la simulation est donc le déphasage entre les VLs. On considère alors une phase comprise entre 0 et BAG pour chaque trame de VL. Les phases seront choisies aléatoirement pour tous les VLs. Ainsi, nous définissons un scénario de simulation par une configuration particulière des phases entre VLs à l'émission des premières trames.

Cependant, un problème de la simulation à événements discrets est la gestion des événements simultanés. Dans notre cas, étant donné que les VLs sont désynchronisés (déphasage aléatoire entre VLs), nous ferons l'hypothèse qu'il y a très peu d'événements simultanés.

Après avoir présenté les paramètres influents sur le délai de bout en bout et défini les scénarii d'une simulation, nous présentons dans la section suivante le modèle de simulation construit pour analyser le réseau AFDX.

3.2 Modèle de simulation du réseau

Les prochains paragraphes explicitent la construction d'un modèle de simulation du réseau avionique qui permet son analyse de performances.

3.2.1 Modélisation des éléments du réseau

Le réseau AFDX se décompose en deux éléments essentiels : l'*End System* et le commutateur. Conformément à l'ARINC 664 qui impose un caractère statique du réseau, ces deux éléments essentiels seront modélisés par une décomposition en éléments simples de réseau dont le comportement est statique et les caractéristiques sont bien définies. Parmi les éléments simples utilisés nous citons : Liens Unidirectionnels, Buffers, Démultiplexeurs et Multiplexeurs.

3.2.1.1 L'*End System*

L'*End System*, est l'équipement du réseau dont la fonction principale est de fournir aux applications un service de transfert de données de niveau transport. C'est en particulier à lui de mettre en forme les flux conformément à la notion de VL. Il lui revient aussi de réaliser l'assemblage et le désassemblage de toutes les trames, ainsi que leur redirection vers les bons ports applicatifs [ACTEL05].

En conformité avec la notion de VL, l'*End System* contient nécessairement un dispositif de régulation des flux. La définition des VL étant relativement simple, il est facile de construire un tel dispositif, de type «seau percé». Pour chaque VL, l'*End System* doit maintenir un compte. Ce compte se remplit proportionnellement au temps qui passe, à la vitesse $1/BAG$ unité par unité de temps. Il peut prendre la valeur maximale de 1, et est initialisé à cette valeur. Une trame arrivante est émise si le compte possède la valeur 1, sinon elle est stockée jusqu'à ce que le compteur se remplisse. A la suite de son émission (qui, nous le rappelons, est supposée instantanée) la valeur du compteur est décrétementée de 1. Cet algorithme très simple permet de manière évidente d'espacer les trames d'au moins d'un BAG unité de temps.

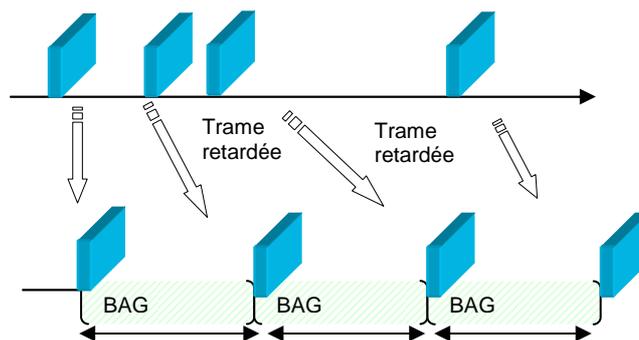


Figure 19: Régulateur de trafic

Les trames générées par les applications seront aiguillées vers un régulateur de trafic. Pour chaque flux VL on a un régulateur associé qui assure le temps minimum entre deux trames consécutives (BAG) [ARI664.7].

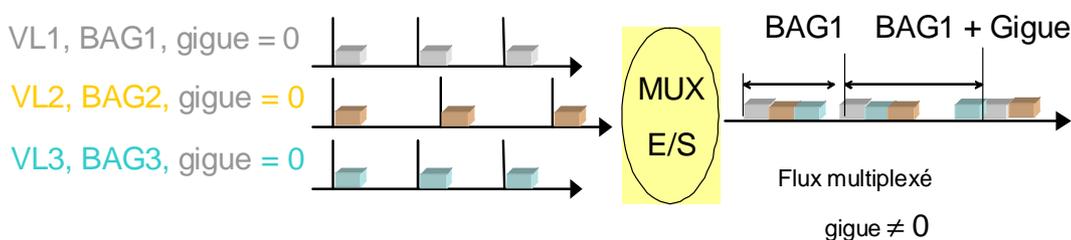


Figure 20: Multiplexage des flux de VL au niveau End System

Compte tenu du point de départ de notre étude, nous avons retenu un modèle simple d'End System, constitué de multiples sources régularisées, d'un Multiplexeur FIFO qui représente le port d'émission d'End System et d'un démultiplexeur qui représente le port de réception d'End System. Le délai de transmission sera pris en compte par le port de sortie d'End System, dont le temps de service dépend de la capacité du lien physique (100 Mbits/s) et de la taille des trames. (Temps de service = Taille de la trame / Capacité).

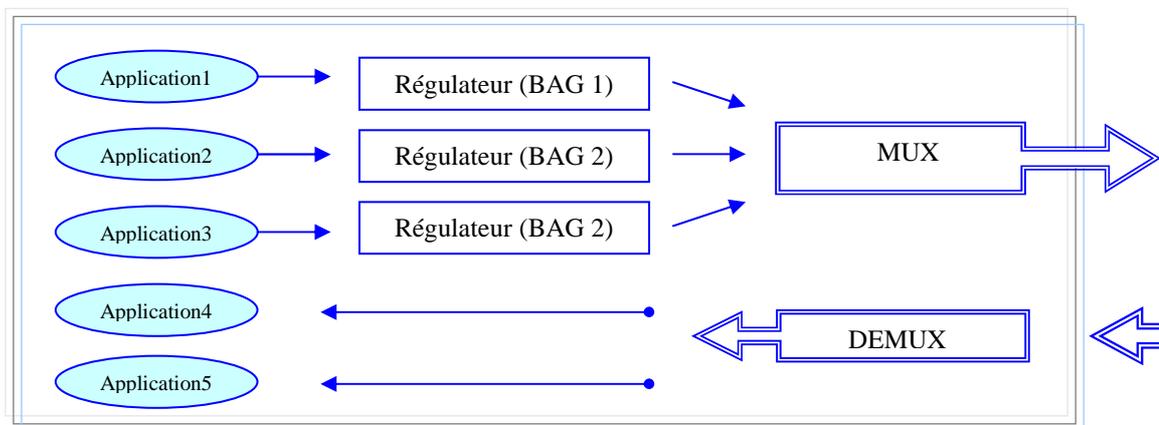


Figure 21: Modélisation d'un End System avec plusieurs applications

Pour mieux situer le contexte de nos travaux, il vaut mieux noter que le domaine d'étude de cette thèse s'étend depuis les régulateurs de trafic dans les *End Systems*, jusqu'à réception des trames dans les *End Systems* destination. Du point de vue réseau, nous étudions donc principalement les niveaux 1 et 2, et nous prenons en compte les trames au moment où elles sont assemblées.

3.2.1.2 Le commutateur

Le commutateur est l'équipement le plus important dans le réseau Ethernet commuté. La norme qui définit ces équipements est la 802.1D [IE802.1]. On y apprend qu'un commutateur accomplit les tâches suivantes lors de la réception d'une trame:

- réception intégrale de la trame,
- vérification de l'intégrité de la trame (contrôle du champ FCS),
- vérification de la validité de la trame (longueur correcte, VL connu, une adresse émetteur connue),
- filtrage suivant le trafic du VL (*Policing*),
- consultation de la table de commutation,
- redirection sur le(s) bon(s) port(s) de sortie,
- émission de la trame au plus tôt,

Cependant, comme l'impose la norme ARINC 664, les opérations de filtrage et de relais des trames ne peuvent être perturbées par les autres fonctions du commutateur, comme par exemple la surveillance de son bon fonctionnement. Nous avons donc décidé de ne prendre en compte dans notre modèle que les opérations liées au traitement des trames.

En revanche, le commutateur AFDX, comprend des moyens pour configurer de façon séparée chaque port d'entrée afin d'indiquer pour chaque trame Ethernet reçue vers quels ports de sortie elle doit être dirigée en fonction de l'identifiant du lien virtuel. Aussi, il comprend des moyens pour remettre en forme le flux de chaque lien virtuel (ré-espacement des trames pour chaque lien virtuel), ainsi que des moyens de multiplexage des flux des liens virtuels sur chaque port de sortie.

Le modèle de commutateur va refléter la succession des opérations. La définition des caractéristiques précises de chaque élément de ce modèle provient d'exigences formulées par les entreprises aéronautiques, pour qu'un commutateur soit déclaré propre à être embarqué. Il serait bien entendu intéressant d'affiner le modèle en le recalant par rapport aux performances d'un commutateur réel, plutôt que de se fier uniquement à ses spécifications.

Les opérations suivantes, à savoir le filtrage de la trame suivant les différents critères (taille maximale, adresse source connue, « policing », etc.), peuvent être effectuées plus ou moins rapidement, selon la manière dont elles ont été implémentées par le fabricant du matériel. En revanche, les exigences de performance du cahier des charges spécifient que chaque port du commutateur doit être capable de filtrer 125 trames en une milliseconde. Nous avons donc décidé de modéliser ces opérations par un élément à délai borné.

L'opération suivante, l'aiguillage des trames vers le ou les bons ports de sortie, s'inscrit dans la même logique. Elle peut se dérouler plus ou moins vite selon le commutateur considéré, mais Airbus possède une exigence sur la vitesse de l'aiguillage. Le commutateur, même lorsque tous ses ports reçoivent bout à bout des trames de taille

minimale, doit être capable d'aiguiller $N \times 125$ trames en une milliseconde, où N est le nombre de ports. Pour chaque port, nous avons donc décidé là aussi de modéliser l'opération d'aiguillage par un élément à délai constant, suivi d'un passage dans un démultiplexeur. En utilisant le fait que deux éléments à délai borné placés en série se comportent comme un seul élément dont le délai vaut la somme des deux délais, alors on aura un seul élément à délai borné correspondant au filtrage et à l'aiguillage (figure 22).

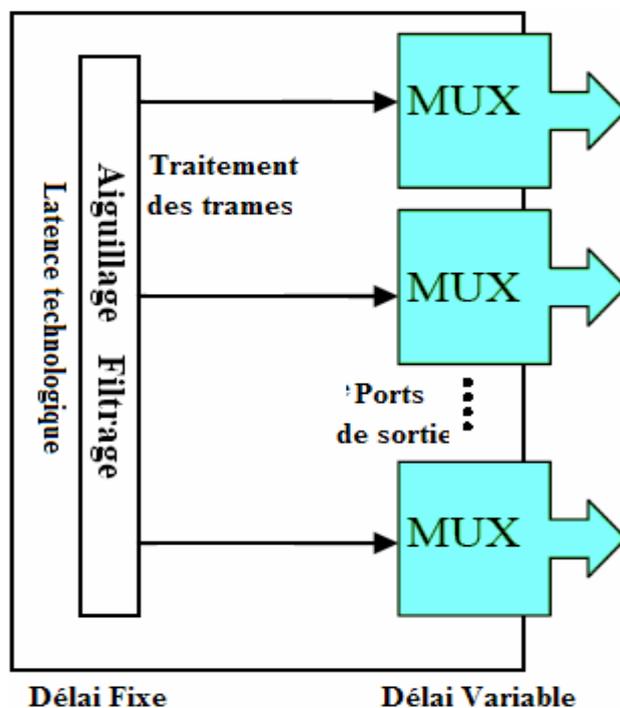


Figure 22: modélisation du commutateur

Enfin, l'émission de la trame sur le bon port de sortie peut être modélisée par un élément multiplexeur FIFO, dont la capacité de sortie est fixée à celle du lien physique, à savoir 100 Mbits/s. L'ensemble de ces éléments constitue ainsi le modèle complet du commutateur, représenté sous forme de file d'attente dans la figure 23.

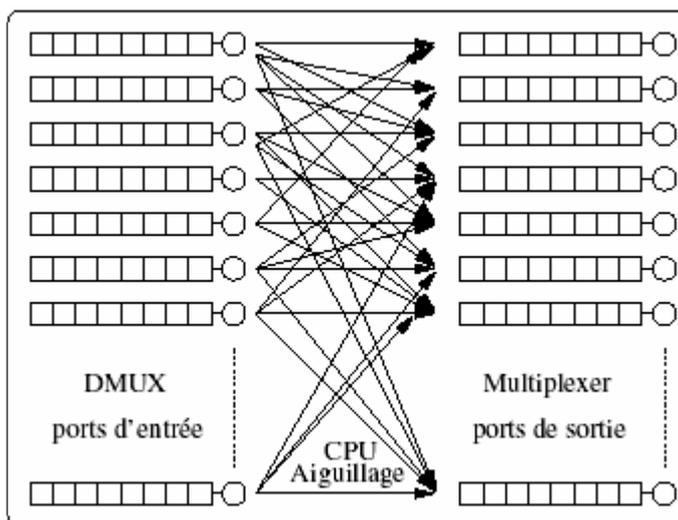


Figure 23: Modélisation en file d'attente du commutateur

Il faut bien garder en mémoire que pour le commutateur réel, il n'existe que des ports qui sont à la fois l'entrée et la sortie, car on est dans le contexte d'une utilisation des liens Full Duplex, or le modèle ci-dessus introduit une dissymétrie entre port d'entrée et port de sortie. On peut toutefois conserver ce modèle, en imposant la restriction suivante: si un abonné est relié au port i en entrée (il émet ses trames vers le port i), alors il devra être relié aussi au port de sortie i (l'abonné recevra des trames du port de sortie du commutateur qui a le même numéro que celui vers lequel il émet). On capture ainsi à moindre frais le caractère Full Duplex, tout en conservant un modèle d'une grande lisibilité.

Bien entendu, ce modèle reste relativement simple, et pourrait être enrichi par une étude comparative avec un commutateur réel. Cependant, nous pensons qu'il permet de bien capturer le principal effet des commutateurs sur le trafic, qui est dû au goulot d'étranglement que représentent les ports de sortie, ce qui correspond convenablement à nos besoins pour la simulation.

3.2.2 Modèle de simulation général

On a utilisé la théorie des files d'attente pour modéliser les éléments simples du réseau (nous avons utilisé QNAP2 comme cœur temps réel, Annexe A). De ce fait, les multiplexeurs, les démultiplexeurs et les éléments à délai fixes sont modélisés par des files d'attente à service approprié (figure 24).

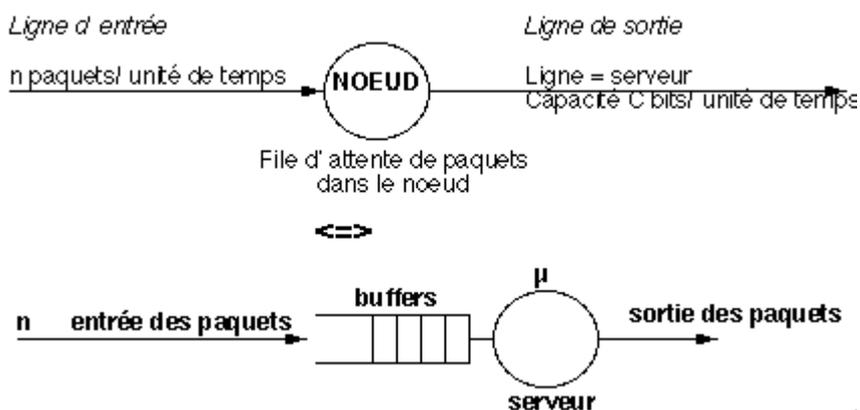


Figure 24: Modélisation des éléments simples avec des files d'attente

Ainsi, le modèle de simulation de réseau complet s'obtient en rassemblant les commutateurs et les *End Systems* selon l'architecture physique considérée. Le modèle général du réseau utilisé pour la simulation est présenté sur la figure 25.

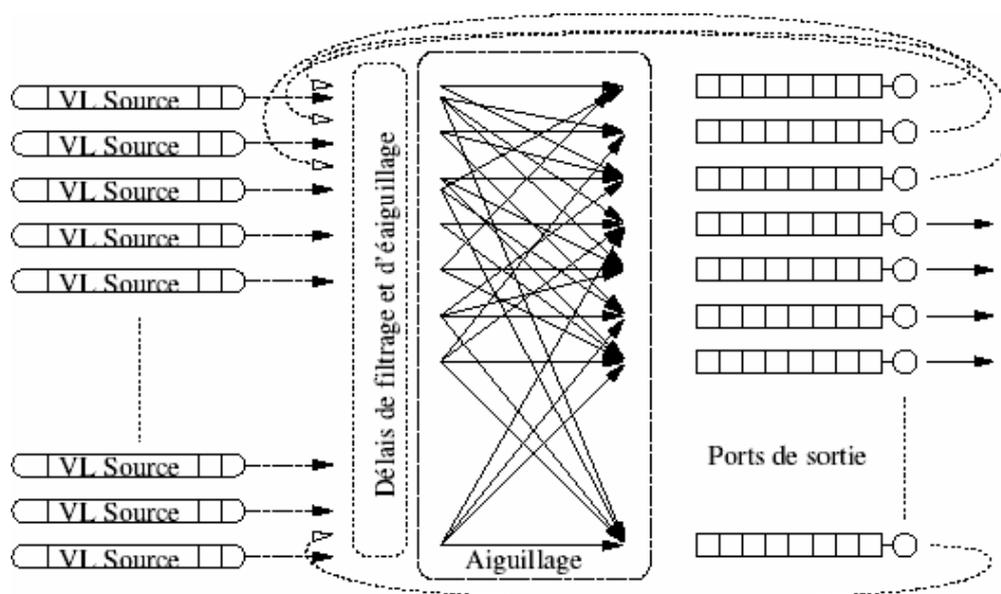


Figure 25: Modèle de simulation général du réseau

Le délai de bout en bout est la somme des délais de propagation et de transmission, et des délais d'attente dans les files des commutateurs. La mesure de ce délai pour chacun des flux de VL s'obtient en additionnant tous les délais locaux subis par les flux. S'agissant de flux *multicast*, on détermine alors la valeur de ce délai de bout en bout entre une application émettrice et chacune des applications réceptrices (pour chacun des chemins d'un VL). Toutefois, comme indiqué dans le premier chapitre de cette thèse, on se restreint à la définition de la latence : entre le moment où une trame sort du dispositif de contrôle de flux de l'End System de l'abonné, jusqu'au moment où elle pénètre dans l'End System de l'abonné destination.

Cette latence peut être donc considérée comme la somme de deux types de délai : les délais fixes d'une part, correspondant par exemple à des latences de filtrage et d'aiguillage de la trame, et d'autre part des délais dits variables, qui dépendent surtout de l'ensemble du trafic des différents flux. Pour mesurer la latence totale, il faut accumuler les délais dans chacun des éléments rencontrés tout au long du parcours du flux dans le réseau.

3.3 Premiers résultats de simulation

Dans la section suivante nous présentons comment on obtient une distribution des délais par simulation et les premiers résultats de simulation effectués sur des configurations simples de réseau AFDX.

3.3.1 Analyse statistique des résultats de simulation

Les simulations sont coûteuses en ressources informatiques, le temps de calcul dépend donc essentiellement de la convergence des résultats des simulations.

Nous considérons ainsi que la simulation converge pour un ensemble de scénarii si la distribution obtenue n'est pas différente avec un ensemble de scénarii plus grand.

Le temps de calcul dépend de la complexité de la configuration simulée. En fait, pour obtenir une distribution des délais nous avons procédé comme suit : lancer des simulations simultanées sur le modèle de réseau en variant la phase (les scénarii) des différents VLs de la configuration. On tire pour le VL (ou chemin de VL) tous les délais de bout en bout obtenus par chacun des scénarii simulés. Puis, on regroupe les valeurs de délai par « pas de regroupement ». Ainsi, on calcul le nombre de valeurs de délais situés dans le pas de regroupement et on retire son pourcentage.

Ainsi, il existe deux facteurs qui influent sur le temps de simulation : le premier est celui de la convergence de la simulation pour une phase donnée (un scénario). Donc, le temps de simulation pour chaque scénario. Le deuxième est celui de l'obtention de la courbe de la distribution : détermination du nombre de scénario à prendre en compte afin d'obtenir une répartition pertinente. Pour le premier facteur on considère comme indiqué au-dessus un intervalle de confiance, tandis que pour le deuxième facteur on suppose que le nombre de scénarii est suffisamment représentatif lorsque la variation du nombre de délai dans un pas de regroupement est inférieure à 1%. C'est ainsi que, plus les pas de regroupement sont petits plus la convergence est précise.

3.3.2 Analyse des délais de bout en bout dans un réseau d'un commutateur

Dans ce paragraphe nous présentons une première analyse des délais de bout en bout effectuée sur un modèle du réseau AFDX constitué d'un seul commutateur. Le but est d'étudier les résultats obtenus par notre modèle de simulation décrit dans le paragraphe précédent.

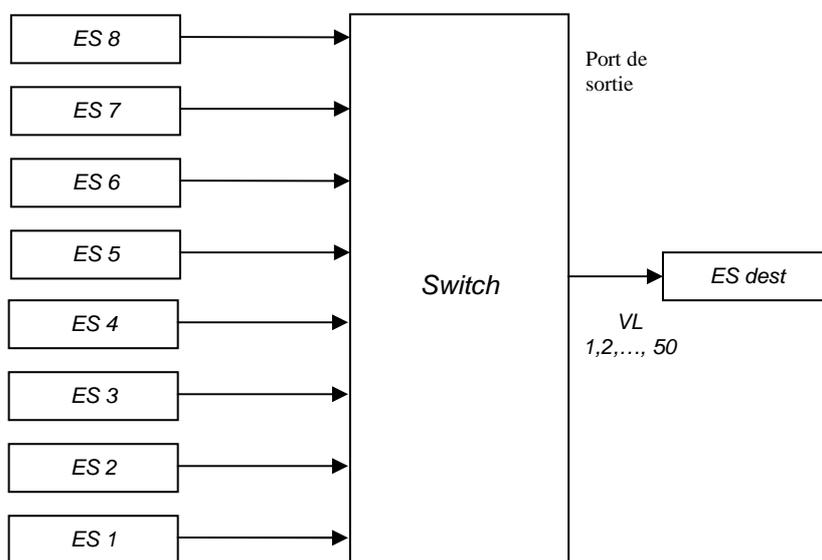


Figure 26: Modèle de réseau avec un seul commutateur

Pour cette simulation on utilise un modèle simple de réseau, constitué d'un seul commutateur AFDX (figure 26). Dans ce réseau, on trouve 50 VL émis à partir de 8 *End Systems* connectés simultanément aux ports d'entrée du commutateur. Les flux de VLs sont routés par le commutateur vers un seul port de sortie. Cette configuration est utilisée

pour obtenir la distribution des délais d'un chemin de VL. Les scénarii sont basés sur les hypothèses suivantes :

- Les flux des VLs ne sont pas tous nécessairement avec des trames à tailles identiques (une taille fixe pour chaque VL).
- Le départ de tous les flux des VL est désynchronisé (déphasage non nul).

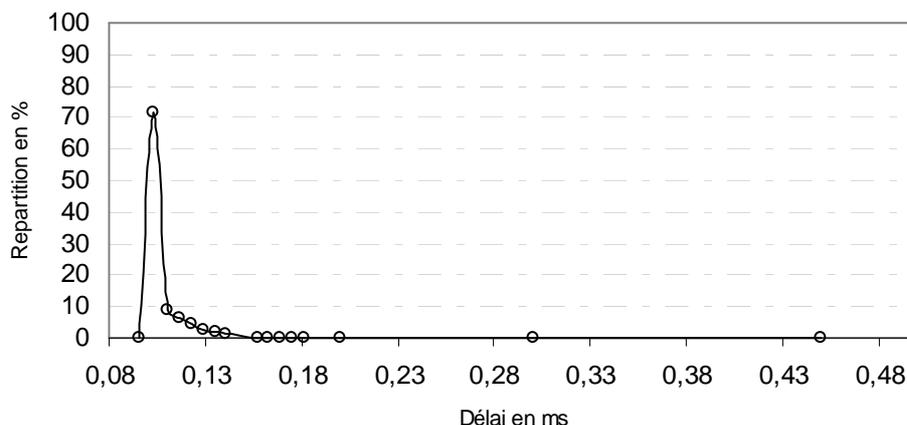


Figure 27: Distribution des délais

La figure 27 montre la distribution des délais obtenue à partir de ces hypothèses. Cette distribution est obtenue en considérant un ensemble de déphasages aléatoires. On a considéré que la simulation converge, dans la mesure où le fait de prendre un ensemble de déphasages aléatoires plus grand ne fait pas varier la distribution obtenue. Le délai de bout en bout est situé dans la première moitié de l'intervalle [délai inférieur, borne supérieure NC], et, pour environ 95 % des scénarii simulés, le délai obtenu est dans le premier quart de cet intervalle. Ces résultats nous montrent ainsi une première constatation de la répartition des délais qui paraît souvent proche des valeurs minimales.

3.3.3 Analyse des délais de bout en bout dans un réseau de plusieurs commutateurs

La configuration du réseau est constituée de trois commutateurs reliés entre eux par des liens full duplex (figure 28). Le scénario est basé sur les mêmes hypothèses fortes de l'exemple précédent (trafic maximal, occupation de BAG à 100%, taille maximale des trames). La configuration comporte des *End Systems* connectés aux ports des commutateurs. Le trafic est constitué de 50 flux *multicast* ayant entre 1 et 3 destinations. Le but est d'étudier le délai de bout en bout obtenu par simulation sur un modèle de réseau constitué de plusieurs commutateurs. Les chemins de VL de cet exemple sont de longueur : un, deux, trois.

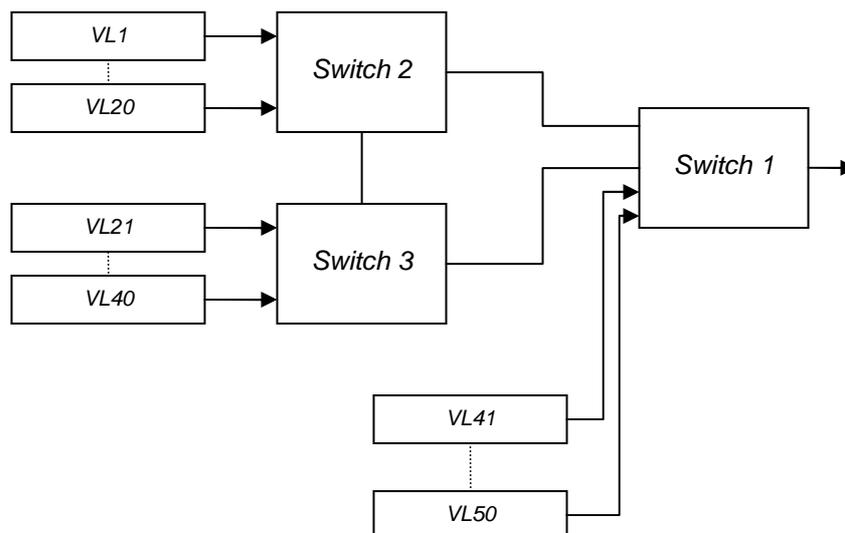


Figure 28: Configuration du réseau à trois commutateurs

La figure 29 montre les valeurs maximales des délais de bout en bout obtenues par simulation et les bornes supérieures de délais du calcul réseau. Nous remarquons tout d'abord que l'ordre de grandeur des résultats issus du *Network Calculus* est beaucoup plus élevé que ceux obtenus par notre méthode de simulation. Cela revient au fait que les résultats du *Network Calculus* sont souvent plus pessimistes. En plus, avec la simulation on n'est pas sûr qu'on va atteindre le maximum de délais même en utilisant des hypothèses fortes, surtout pour les chemins de longueur supérieur à un (dans cette configuration nous avons des chemins de longueur deux et trois).

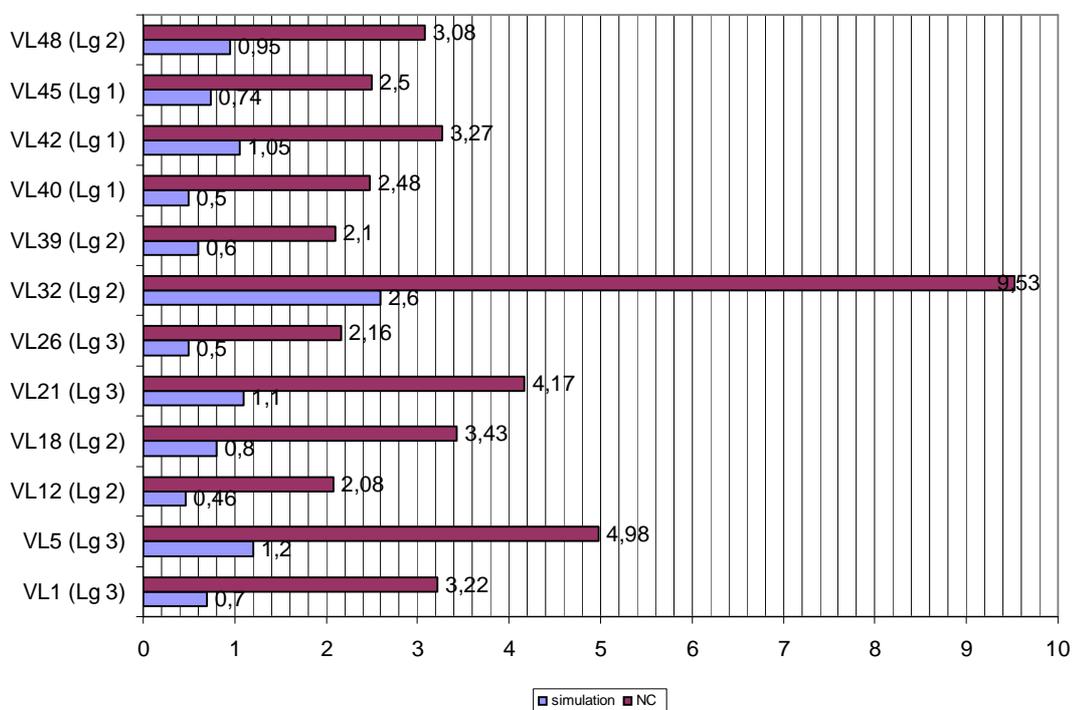


Figure 29: Comparaison entre les délais de traversée obtenus par simulation et Network Calculus

La figure 30 montre la distribution des délais du VL 12 (un chemin de longueur 2). Le délai de bout en bout est situé dans la première moitié de l'intervalle [délai inférieur, borne supérieure NC], et, pour environ 95 % des scénarii simulés, le délai obtenu est dans le premier quart de cet intervalle. Ces résultats nous montrent ainsi la distribution des délais qui paraît souvent proche des valeurs minimales. Les distributions des délais des autres VLs ont montré des comportements similaires.

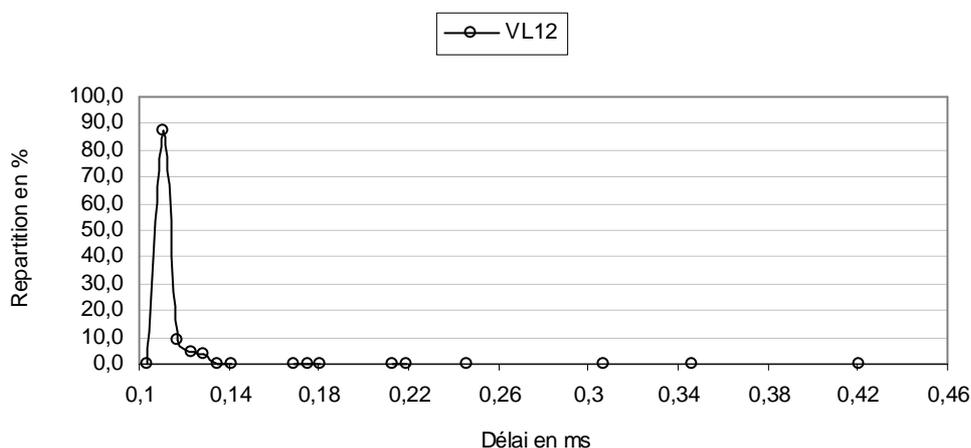


Figure 30 : Distribution des délais d'un chemin de VL 12

3.4 Application sur une configuration réelle du réseau

L'évaluation des performances par simulation va s'appliquer sur un modèle de réseau réel prototype de ceux embarqués dans un avion. Dans le cas réel, l'architecture comporte un certain nombre de commutateurs et d'*End System* ainsi qu'un trafic en *Virtual Link* aussi important que complexe. Dans cette section nous présentons tout d'abord la configuration et l'architecture du réseau AFDX utilisées pour mener nos travaux ainsi que la répartition des chemins dans ce réseau. Ensuite, nous relevons certaines difficultés de la simulation qui sont dues au nombre important de scénarii possibles dans une application réelle.

3.4.1 Présentation générale du réseau

Le cas d'application considéré dans notre étude nous a été communiqué par Airbus (figure 31). Il ne s'agit en aucun cas de la description exacte du réseau embarqué de l'A380, mais d'une maquette qui a été jugée suffisamment représentative, de sorte qu'elle a pu servir à tester certains outils de conception [CF05].

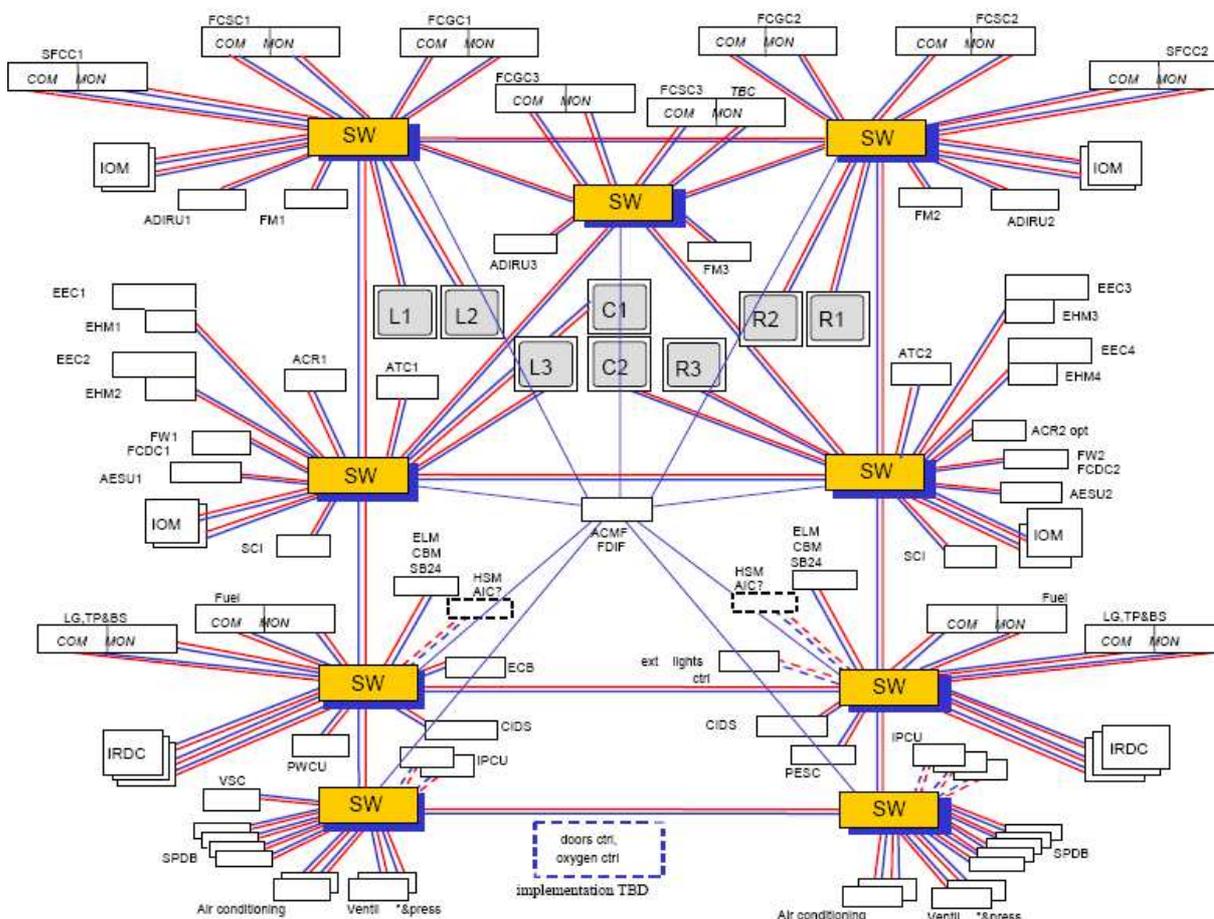


Figure 31: Prototype du réseau AFDX

Il s'agit d'un réseau composé de commutateurs reliés entre eux, auxquels sont raccordés des stations émettrices également appelées *End Systems*. La topologie du réseau est relativement simple, et quasiment symétrique. On retrouve ici une architecture commune en avionique, où on considère souvent l'aéronef comme constitué de deux bords. Ceci permet d'apporter à l'architecture une redondance fondamentale pour la sécurité. De façon générale, les données seront traitées sur chaque bord par des équipements correspondants, qui communiqueront ensuite pour consolider leurs résultats. Dans le reste de notre étude, nous nous intéressons à simuler un seul bord parmi les deux bords qui constituent le réseau [ACTEL05].

Le réseau est constitué d'une centaine d'*End System* (123 *End Systems*), et de 2x9 commutateurs (seul 8 sont utilisés par bord). Ces commutateurs utilisent la politique de service FIFO. S'agissant d'un réseau commuté Full-Duplex, on retrouve bien sûr le fait que chaque *End System* n'est relié qu'à un seul commutateur. Le trafic sur l'application industrielle d'AIRBUS est constitué de 984 flux multicast, ayant entre 1 et 15 destinataires. La plupart d'entre eux sont constitués de trames de petite taille puisqu'ils embarquent une charge utile d'une centaine d'octets. Seuls quelques flux de contrôle sortent de ce gabarit, et nécessitent une attention particulière puisqu'ils sont constitués de plus grosses trames (plusieurs centaines d'octets de charge utile) émis plus fréquemment, environ une trame toutes les quelques millisecondes. Cette configuration est implémentée dans l'architecture de la figure 32.

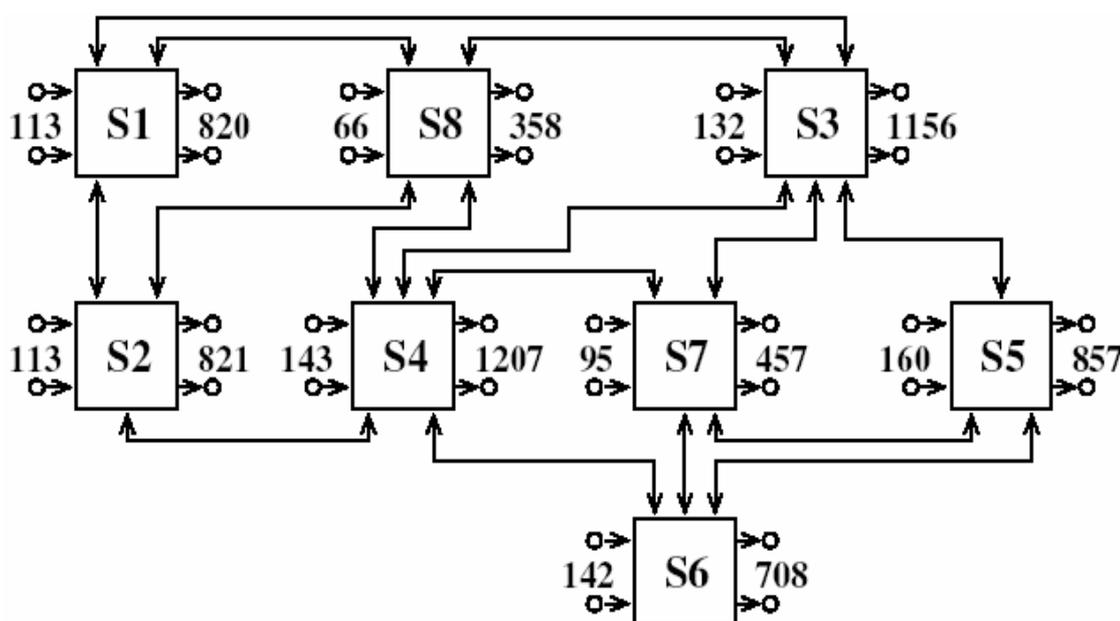


Figure 32: Architecture du réseau AFDX

Les valeurs sur les *End Systems* à l'entrée et à la sortie des commutateurs représentent respectivement le nombre du VL généré et reçu par les *End Systems* correspondants. Pour chaque commutateur, nous avons considéré dans l'ensemble, d'une part les *End Systems* en mode entrée, et d'autre part les *End Systems* en mode sortie. La configuration inclut un total de 6384 chemins (dus au multicast). Le tableau 2 montre le nombre de VL communiqués entre deux commutateurs S (source) et D (destination) dans les deux sens.

S \ D	1	2	3	4	5	6	7	8
1		71	78					34
2	72			77				34
3	90			212	35		42	52
4		97	134			37	35	48
5			80			72	64	
6				82	61		52	
7			52	47	59	67		
8	51	45	43	52				

Tableau 2: Nombre total de VL du commutateur S vers commutateur D

La figure 33 montre un exemple d'un VL à caractéristique multicast, extrait de l'architecture du réseau illustrée dans la figure 32. L'*End System* de source est une entrée du commutateur **S1**, les *End Systems* de destination sont des sorties des commutateurs **S8**, **S3**, **S4** et **S7**. Ainsi, le VL possède quatre chemins: **S1-S8**, **S1-S3**, **S1-S8-S4** et **S1-S8-S4-S7**.

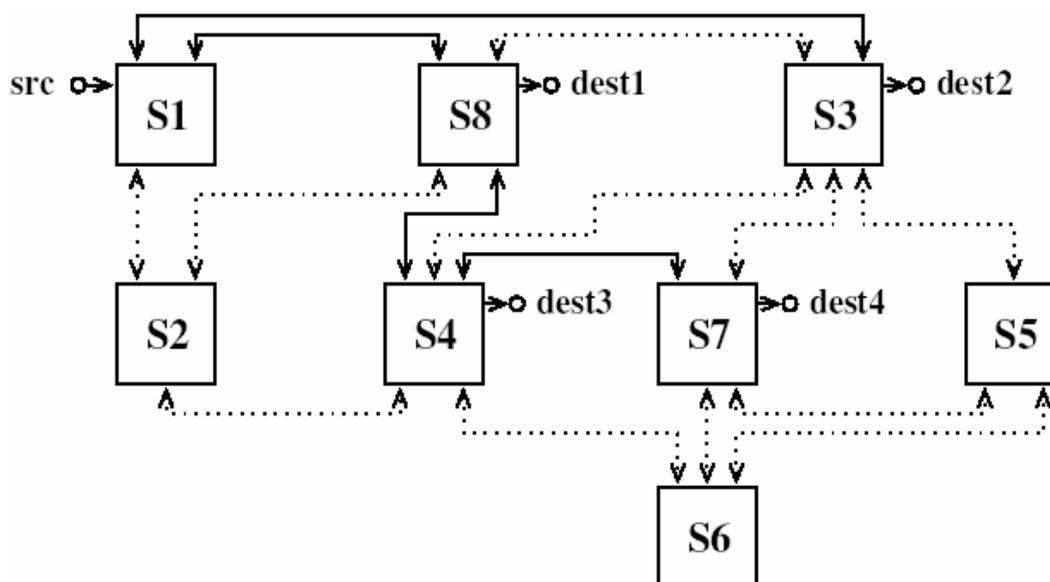


Figure 33: Un Virtual Link multicast

La partie gauche du tableau 3 montre la répartition des VLs par rapport aux BAGs. Les valeurs des BAGs sont harmoniquement comprises entre 2 ms et 128 ms (les valeurs des BAG doivent être des puissances de 2 : $BAG = 2^k$), on remarque bien que les valeurs élevées de BAG sont les plus utilisées dans cette configuration.

La partie droite du tableau 3 nous montre la répartition des VLs par rapport aux tailles des trames, dans le cas où les tailles minimales sont associées à chaque valeur. La majorité des VLs possèdent des tailles de trames faibles.

Bag (ms)	Nombre de VL	Taille de la trame	Nombre de VL
2	20	1-150	561
4	40	151-300	202
8	78	301-600	114
16	142	601-900	57
32	229	901-1200	12
64	220	1201-1500	35
128	255	> 1500	3

Tableau 3: Distribution des BAGs et des tailles des trames

La longueur des chemins de VL est un autre indice important pour bien exhiber le trafic engendré dans le réseau. Le tableau 4 montre la répartition des VL par rapport à la longueur du chemin parcouru (le nombre des commutateurs traversés).

Nombre des commutateurs traversés	Nombre de chemins
1	1797
2	2787
3	1537
4	291

Tableau 4: Longueur de chemin du VL.

La figure 34 montre une vue globale de la charge du réseau. Plus précisément, elle donne le nombre de liens physiques pour chaque charge possible. La charge d'un lien physique est définie par le temps d'occupation de ce lien. En général, les liens physiques sont légèrement chargés ; Dans cette application, on remarque que la plupart des liens sont chargés à moins de 15 % et aucun lien n'est chargé à plus que 21 %. Toutefois, une congestion peut se déclencher à tout moment et sur n'importe quel lien, elle est due à des rafales de trafic qui encombrant le port de sortie ou à un débordement de ses files d'attente.

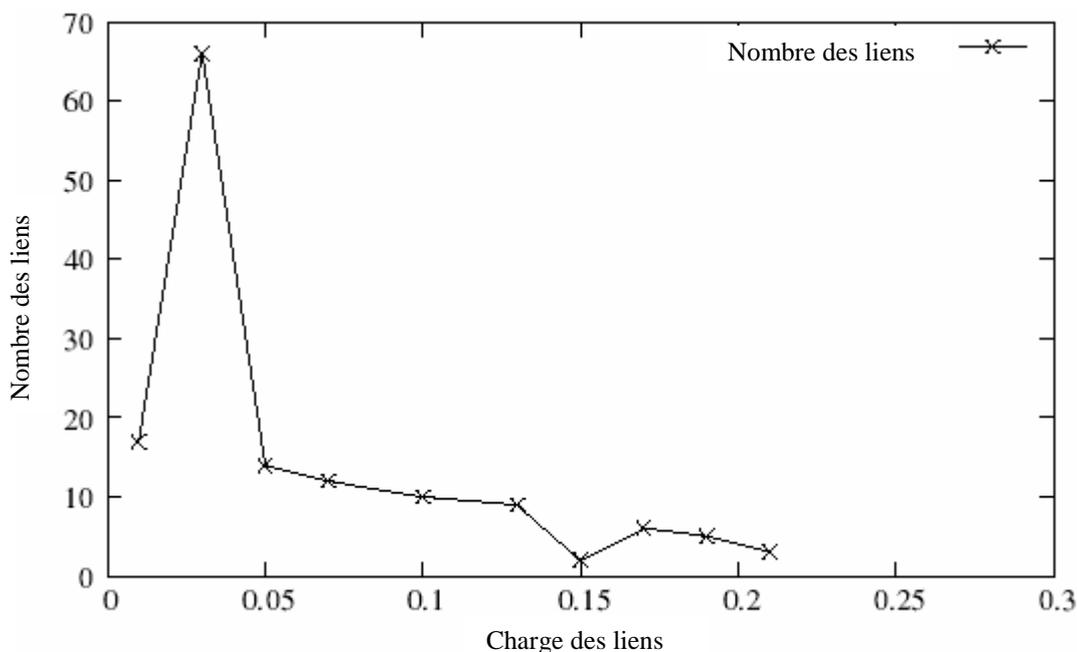


Figure 34: Charge globale du réseau

3.4.2 Difficulté de la simulation : le nombre de scénarii possibles

Dans le paragraphe précédent, nous avons présenté une description détaillée d'une application qui a été jugée suffisamment représentative du réseau embarqué de l'A380. L'objectif de la méthode d'analyse par simulation est d'évaluer la distribution des délais de bout en bout dans une telle configuration réelle du système avionique.

Nous avons identifié le modèle et choisi les paramètres de la simulation (scénarii). Cependant, pour simuler il faut tout d'abord disposer d'un ensemble représentatif des scénarii possibles. Or, le nombre de scénarii de simulation est très important, et la simulation ne peut être réalisée dans un temps raisonnable. En fait, la simulation doit prendre en considération, dans notre cas, la combinaison de 984 VLs et 6384 chemins ainsi que de tous les autres paramètres. Au niveau de la simulation le choix le plus réaliste est de générer des déphasages aléatoires, ce qui conduit donc à une infinité de scénarii possibles. Comme présenté dans la figure 35, même en limitant le nombre de déphasages étudiés par VL, cela conduit à un grand nombre de scénarii de simulation.

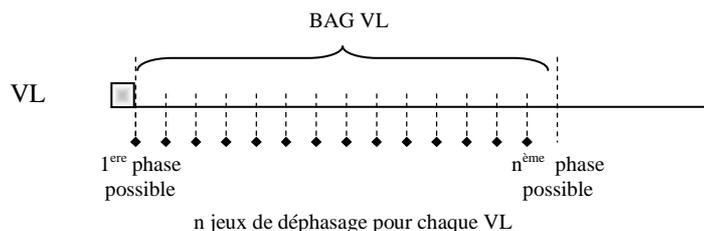


Figure 35: Illustration des déphasages possible pour un VL

En effet, vu le nombre important de combinaisons de déphasages possibles dans la configuration entière du réseau, nous constatons que pratiquement il est impossible d'acquérir une distribution de délais de bout en bout, statistiquement significative dans un temps raisonnable (pour que la simulation converge). Il est donc nécessaire de limiter le nombre de VL étudiés pour arriver à réduire l'espace de simulation et à un nombre de scénarii raisonnable ; ce sera l'objet du chapitre suivant.

3.5 Conclusion

Dans ce chapitre nous avons tout d'abord étudié l'influence sur le délai de bout en bout des paramètres caractérisant les flux de VLs, afin de déterminer un scénario de simulation. Cette étude nous a permis de définir le périmètre d'expérimentations et de considérer des hypothèses pour la simulation. Ainsi, nous avons construit un modèle de simulation basé sur une modélisation en éléments simples du réseau avionique.

Cependant, vu le nombre important de scénarii de simulation possibles pour une configuration réelle de réseau, il n'est pas possible d'obtenir directement une distribution des délais de bout en bout significative dans un temps raisonnable. Il est donc nécessaire de raffiner notre méthode d'analyse en réduisant l'espace de la simulation, pour arriver à un nombre de scénarii raisonnables.

Dans le chapitre suivant, nous présenterons plusieurs pistes permettant de réduire cet espace de simulation et limiter le nombre de VL étudiés.

CHAPITRE 4

Propositions de réduction de l'espace de simulation

Sommaire

4.1 Classification des chemins par type d'influence	68
4.2 Exploitation de la classification.....	69
4.2.1 Élagage des chemins non influents.....	69
4.2.2 Possibilité d'élagage des chemins influents indirectement (II).....	70
4.2.3 Possibilité de simplification de l'architecture du réseau	72
4.3 Influence effective de la classe II	74
4.3.1 Définition d'un plan d'expérimentation	74
4.3.1.1 Nombre de VLs influents	75
4.3.1.2 Rapport entre chemin II et ID.....	75
4.3.1.3 Niveau de l'influence indirecte.....	76
4.3.1.4 Exploitation de l'analyse de la configuration industrielle.....	76
4.3.2 Plan d'expérimentation et résultats.....	78
4.3.2.1 Simulation L1 _A	79
4.3.2.2 Simulation L1 _B	82
4.3.2.3 Simulation L2	85
4.3.3 Conclusion sur l'étude des chemins influant indirectement.....	90
4.4 Simplification de l'architecture	90
4.5 Modèle de simulation générique.....	94
4.6 Distribution des délais de bout en bout sur une application industrielle.....	95
4.7 Conclusion.....	106

L'approche retenue pour acquérir la répartition des délais de bout en bout est la simulation. Toutefois, pour avoir des résultats fiables, il faut disposer d'un échantillon représentatif de l'ensemble des scénarii possibles à simuler. La taille de la configuration réelle empêche l'analyse du délai de bout en bout vu du grand nombre de scénarii à prendre en considération (nombre important de combinaisons de déphasages possibles), d'où le besoin de réduire l'espace de la simulation.

Cependant, une voie nous semble intéressante. Elle consiste en l'exploitation de la partie du réseau influant effectivement sur le délai de bout en bout d'un chemin de VL. En étudiant les degrés d'influence des chemins sur un chemin donné nous centrons la simulation sur la partie « pertinente » de la configuration. Ainsi, nous proposons une classification des chemins qui aboutit à la réduction des chemins qui n'ont que très peu d'influence sur la distribution des délais de bout en bout. Cette réduction va nous permettre d'obtenir un modèle générique de simulation et par la suite d'acquérir la distribution des délais de bout en bout pour la majorité des chemins.

4.1 Classification des chemins par type d'influence

Nous allons tirer parti du caractère statique du réseau AFDX pour procéder à un élagage de l'application, et donc à une réduction de l'espace de simulation lors de l'étude du délai de bout en bout d'un chemin p_x donné. Plus précisément, nous exploitons la configuration statique de l'architecture du réseau et des chemins des VLs pour considérer différemment les chemins des différents VLs en fonction de leur influence sur p_x . À partir des différents degrés d'influences, notre idée consiste à classer les chemins vis-à-vis du chemin en étude. Ainsi, nous proposons une taxonomie des chemins en trois classes :

- les chemins qui n'influencent pas sur p_x
- les chemins qui influencent indirectement sur p_x
- les chemins qui influencent directement sur p_x

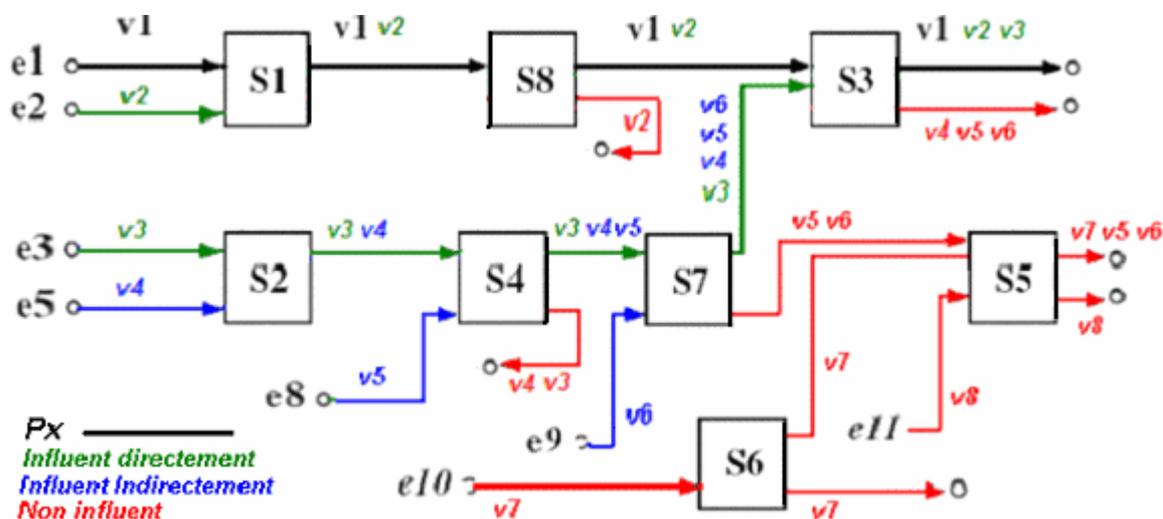


Figure 36: Présentation de différentes classes de chemins

Pour visualiser les trois classes, considérons l'exemple de la figure 36 ; soit à étudier le délai de bout en bout du chemin *unicast* p_{v1} du VL $v1$. Le chemin p_{v1} passe par trois commutateurs S1, S8 et S3, son trajet est le suivant : $e1-S1-S8-S3$. Les chemins ou portions de chemins des autres VLs de cette configuration peuvent être ainsi classifiés en trois catégories :

- La classe ID (Influant Directement) en vert sur la figure, contient tous les chemins qui partagent au moins un port de sortie avec le chemin étudié p_{v1} , tronqués après le dernier port de sortie partagé avec p_{v1} . Dans cette classe, nous avons par exemple le chemin $e2-S1-S8-S3$ du VL $v2$ et le chemin $e3-S2-S4-S7-S3$ du VL $v2$ (la portion $-S2-S4-$ n'a aucune influence directe sur p_{v1}).
- La classe II (Influant Indirectement) en bleu sur la figure, contient tous les chemins et/ou portions de chemins qui ne partagent aucun port de sortie avec le chemin étudié p_{v1} , mais néanmoins au moins un port de sortie est partagé avec les chemins ID ou II. Dans cette classe nous avons par exemple la portion $e5-S2-S4-S7-S3$ du VL $v4$ et la portion $e9-S7$ du chemin $e9-S7-S3$ du VL $v6$.
- La classe NI (Non Influant) en rouge sur la figure, contient tous les chemins ou portions de chemins qui ne sont pas dans ID ou II.

4.2 Exploitation de la classification

Chacune des trois classes de chemins présentés au paragraphe précédent permet potentiellement de réduire l'espace de simulation :

- Les chemins non influents (classe NI) n'ont clairement pas à être considérés.
- L'influence réelle de la classe II sur la distribution des délais de bout en bout de p_x doit être précisément étudiée. L'objectif est de pouvoir élaguer ces chemins, s'il s'avère qu'ils n'influencent pas sur la distribution des délais de p_x .
- L'influence réelle de la structure des chemins de la classe ID sur la distribution des délais de bout en bout de p_x doit être elle-aussi précisément évaluée. L'objectif est de pouvoir simplifier l'architecture du réseau, éventuellement jusqu'à ne considérer que les ports de sortie traversés par p_x .

Les paragraphes suivants précisent ces trois moyens de réduction de l'espace de simulation.

4.2.1 Élagage des chemins non influents

La classe des chemins non influents (NI) contient tous les chemins ou portions de chemins qui n'influencent ni directement, ni indirectement sur un chemin étudié (classes ID et II). Clairement, les chemins de cette classe n'ont pas à être pris en considération pour l'étude de la distribution des délais de bout en bout de p_x .

Sur l'exemple de la figure 36, la classe NI correspondant au chemin pvI , est représentée en rouge. Cette partie peut être ainsi écartée de l'application. Notons C_{pvI} la partie restante de l'application (classes ID et II de p_{vI}). Elle comprend 5 VLs et 5 chemins, à comparer avec les 7 VLs et 13 chemins de l'application globale.

Examinons à présent le gain obtenu par l'élagage de la classe NI sur l'application industrielle de la figure 32. Celle-ci comprend 984 VLs et 6384 chemins. La taille de la configuration réduite (C_{px}), sélectionnée pour l'étude du délai de bout en bout d'un chemin px , dépend fortement de px . Nous avons calculé pour tous les chemins px de chaque VL, le nombre de VLs contenu dans C_{px} , c-à-d, les VLs qui contiennent des chemins appartenant aux classes ID et II. La figure 37 montre la distribution par ordre croissant du nombre de VLs directement influent px .

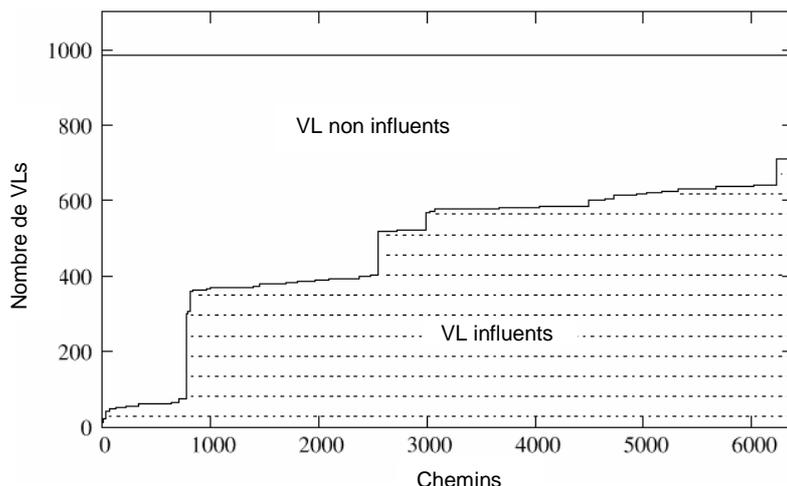


Figure 37: les VLs des chemins influant directement et indirectement

Parmi les 6384 chemins que comporte cette configuration du réseau, 779 ont un C_{px} avec moins de 80 VLs influents, 2000 ont un C_{px} contenant entre 350 et 400 VLs influents, les C_{px} restants contiennent entre 500 et 700 VLs influents. Le nombre moyen de VLs influents est approximativement 472, comparé aux 984 VLs de la configuration entière du réseau [CSF06-2].

La réduction moyenne de la taille de la configuration est importante. Les résultats montrent que globalement nous pouvons retirer plus de la moitié du nombre de VLs total en simulation (au moins 30%, jusqu'à 92 % pour 12 % des chemins). Suite à cet élagage, nous réduisons le nombre de chemins pris en compte pendant la simulation. Ainsi, le modèle de simulation repose sur une configuration comportant uniquement des chemins influents sur le chemin étudié.

4.2.2 Possibilité d'élagage des chemins influents indirectement (II)

La possibilité d'élaguer les chemins de la classe II dépend de leur influence effective sur la distribution des délais de p_x . Le petit exemple de la figure 38 permet d'illustrer cette influence :

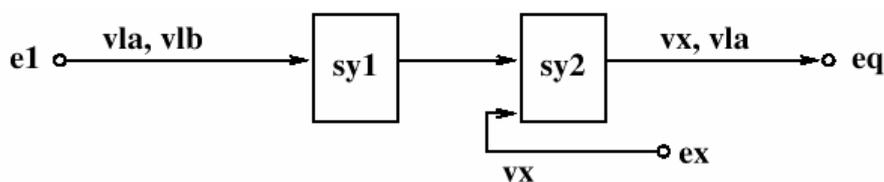


Figure 38: Pas d'influence de chemins II

Un seul *End System* à l'entrée du commutateur sy_1 , e_1 , émet deux VLs vl_a et vl_b . vl_a influence directement vx , contrairement à vl_b . Quant au chemin vx , aucun VL ne partage le lien e_x - sy_2 . En conséquence, la classe ID de v_x comporte vl_a tandis que la classe II contient vl_b .

L'unique influence de vl_b est de modifier potentiellement la phase de vl_a . Pour un scénario donné (une phase donnée pour v_x , vl_a et vl_b), cela peut impliquer une modification du délai de bout en bout de v_x .

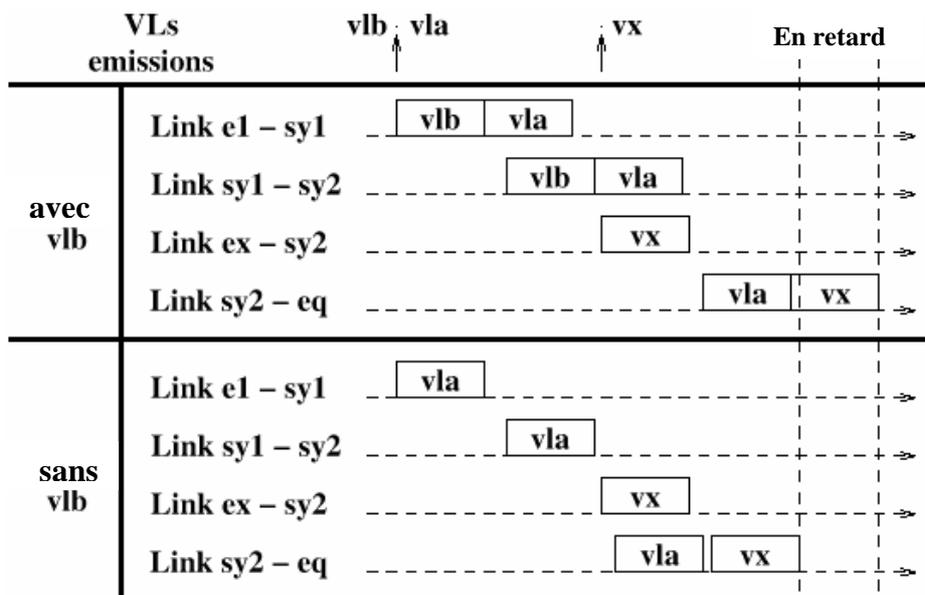


Figure 39: vx plut tard dû à vlb

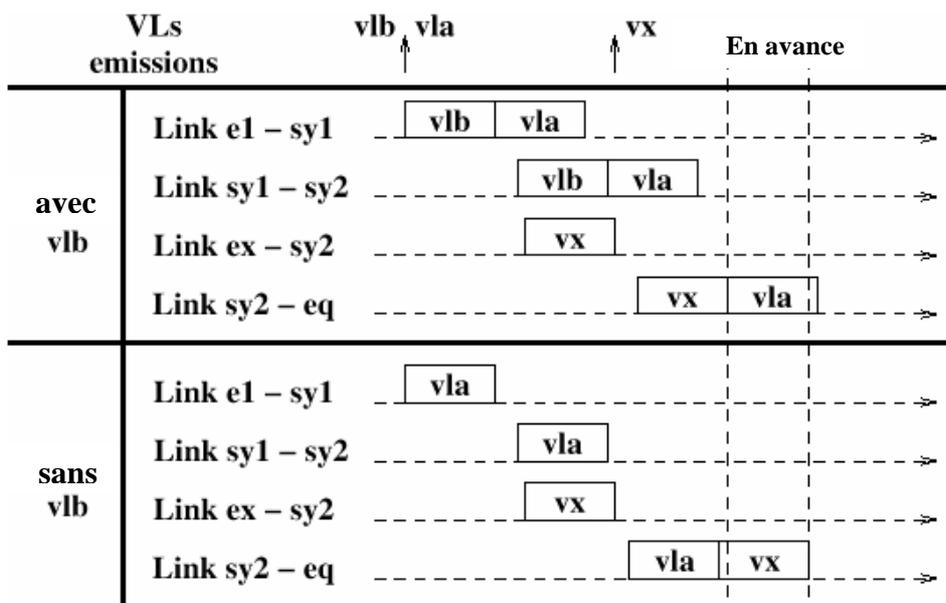


Figure 40: vx plus tôt dû à vlb

Les deux figures 39 et 40 illustrent l'ordonnancement des trames sur le lien physique, tout en considérant un déphasage entre v_x , v_l_a et v_l_b . Dans les deux figures, v_l_a et v_l_b ont le même déphasage sachant que v_l_b est arbitrairement placé avant v_l_a . Dans la figure 39, v_x renferme un délai de bout en bout plus large lorsque v_l_b est présent. En revanche, dans la figure 40, v_x renferme un délai de bout en bout plus court quand v_l_b est présent. Ceci est dû en fait, au déphasage de v_x .

Plus généralement, la présence des chemins de la classe II peut, suivant le déphasage entre les différents VLs, allonger, réduire ou ne pas modifier le délai de bout en bout du chemin p_x étudié. Il est légitime de se demander si, sur un nombre suffisant de scénarii, ces modifications de délais s'annulent globalement. Cela voudrait dire que la distribution des

délais de p_x n'est pas influencée par les chemins de la classe II. La section 4.3 sera consacrée à la validation de cette proposition.

Retournons à l'application industrielle de la figure 32, qui contient 984 VLs (6384 chemins). La taille de la configuration réduite (avec l'élagage des chemins II) pour l'étude des délais de bout en bout d'un chemin dépend fortement de p_x . Nous avons mesuré pour tous les chemins p_x de chaque VL v_x le nombre de VLs qui contiennent des chemins appartenant aux classes ID uniquement, i.e. le nombre ID_{p_x} de chemins influant directement p_x . Dans la figure 41, les chemins p_x sont triés par ordre croissant du nombre de VLs directement influents p_x .

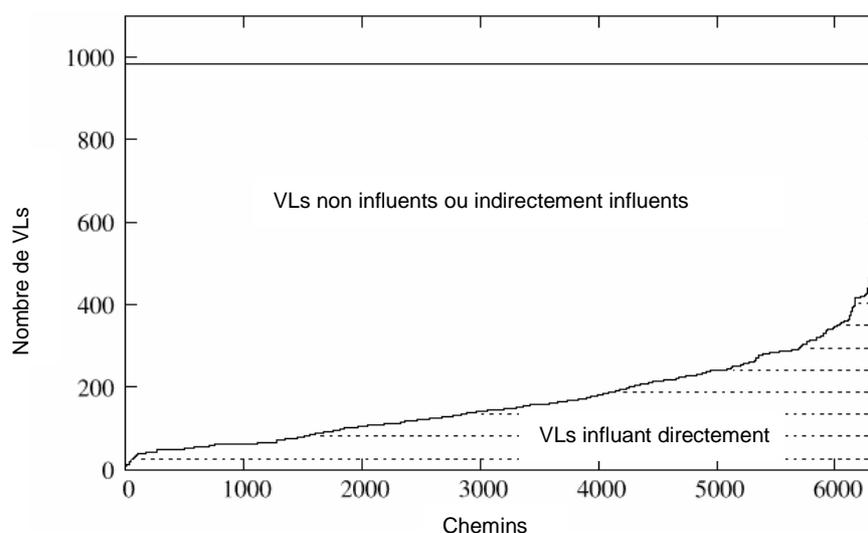


Figure 41: Distribution du nombre de VLs influant directement un chemin p_x

La réduction moyenne de la taille de la configuration est significative, le résultat montre que globalement nous écartons en moyenne deux tiers du nombre total de VLs (66%), en plus des réductions lors de l'écartement de la classe NI. Ainsi, la réduction totale est 84% de l'application industrielle globale. La réduction minimale est de l'ordre de 22% tandis que pour certains chemins, la réduction atteint environ 98%.

Parmi les 6384 chemins que comporte le réseau, presque 3000 sont influencés directement par un nombre de VLs inférieur à 100, 2000 chemins sont influencés par moins de 200 VLs DI, les chemins restants (environ 1000 chemins) sont influencés au maximum par 500 VLs. Le nombre moyen de VLs influant directement est approximativement de 166, comparé aux 984 VLs de la configuration entière du réseau, et aux 400 VLs en moyenne lors de la réduction des chemins non influents dans la section précédente.

Il apparaît donc que, sur ce type de configuration, l'élagage des chemins de la classe II apporterait une réduction significative de la taille de l'espace de simulation.

4.2.3 Possibilité de simplification de l'architecture du réseau

La possibilité de simplifier l'architecture du réseau dépend de l'influence effective de la structure des chemins de la classe ID sur la distribution des délais de bout en bout de p_x . Le petit exemple de la figure 42 illustre l'une des possibilités de simplification de l'architecture.

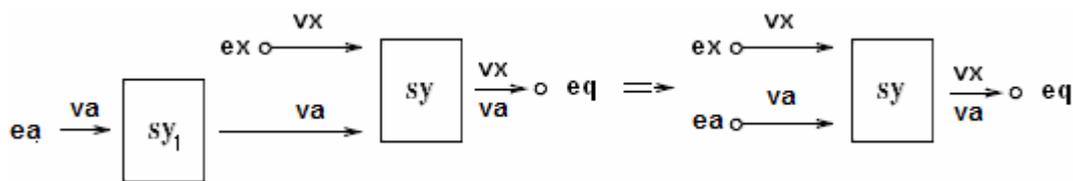


Figure 42: Simplification de l'architecture du réseau

Un seul *End System* à l'entrée du commutateur sy_1 , ea , émet un seul VL v_a . v_a influence directement v_x . Quant au chemin v_x , aucun VL ne partage le lien e_x - sy . L'unique influence de sy_1 est de modifier potentiellement la phase de v_a . Pour un scénario donné (une phase donnée pour v_x, v_a), cela peut impliquer une modification du délai de bout en bout de v_x .

émission de VLs		va	v _x	En retard
avec Sy1	Lien ea - sy1	va		
	Lien sy1 - sy		va	
	Lien ex - sy		v _x	
	Lien sy - eq		va	v _x
sans Sy1	Lien ea - sy	va		
	Lien ex - sy		v _x	
	Lien sy - eq		va	v _x

Figure 43: v_x plut tard dû à va/sy_1

émission de VLs		va	v _x	En avance
avec Sy1	Lien ea - sy1	va		
	Lien sy1 - sy		va	
	Lien ex - sy		v _x	
	Lien sy - eq		v _x	va
sans Sy1	Lien ea - sy	va		
	Lien ex - sy		v _x	
	Lien sy - eq		va	v _x

Figure 44: v_x plut tôt dû à va/sy_1

Les deux figures 43 et 44 illustrent l'ordonnancement des trames sur le lien physique, tout en considérant un déphasage entre v_x et v_a . Dans les deux figures, $Sy1$ déphase v_a de la même manière. Dans la figure 43, v_x renferme un délai de bout en bout plus large lorsque $Sy1$ est présent. En revanche, dans la figure 44, v_x renferme un délai de bout en bout plus court quand $Sy1$ est présent. Ceci est dû en fait, au déphasage de v_x . Plus généralement alors, certaines structures de l'architecture peuvent, allonger, réduire ou ne pas modifier le délai de bout en bout du chemin p_x étudié. On se demande donc si, sur un nombre suffisant de scénarii, ces modifications de délais s'annulent globalement. Cela vaudrait dire que la distribution des délais de p_x n'est pas influencée par ces structures. La section 4.4 sera consacrée à la validation de cette proposition.

4.3 Influence effective de la classe II

Nous nous proposons d'évaluer l'influence effective de la classe II sur les VLs d'une application industrielle typique. Dans ce but nous constituons un plan d'expérimentation comprenant tous les types de chemins présent dans une application industrielle typique. Pour chacun de ces chemins, nous évaluons par simulation l'influence de l'ajout ou de la suppression des chemins de la classe II.

Dans le paragraphe 4.3.1, le plan d'expérimentation est dérivé d'une analyse fine de l'application industrielle de la figure 32. Le paragraphe 4.3.2 présente les résultats de simulation et le paragraphe 4.3.3 conclut concernant la validité ou non de ne pas considérer les chemins de la classe II.

4.3.1 Définition d'un plan d'expérimentation

L'analyse des chemins de l'application industrielle est effectuée en considérant les paramètres suivants :

- La longueur des chemins (nombre de commutateurs traversés), qui est comprise entre 1 et 4 ;
- Le nombre total de VLs influents (classe ID + classe II) ;
- La proportion de VLs de la classe ID par rapport à l'ensemble des VLs influents ;
- Les niveaux d'influence des VLs influant indirectement.

Le dernier paramètre est a priori beaucoup moins important que les trois précédents. L'analyse de ces paramètres va permettre de constituer des groupes de scénarios de simulation. On aura donc quatre groupes de scénarii (un par longueur de chemin: S1, S2, S3 et S4). Pour chacun de ces groupes, on va considérer des sous-groupes avec différents nombres de VLs influents, différentes proportions de VLs influant directement et différents niveaux d'influence indirecte.

Les paragraphes suivants présentent ces paramètres caractéristiques des chemins, et les critères de groupement.

4.3.1.1 Nombre de VLs influents

L'application de la figure 32 comporte 6384 chemins, qui peuvent être groupés en 861 types. Un type de chemin est défini par la séquence des ports de sortie de commutateurs qu'il traverse. Tous les chemins d'un même type traversent donc les mêmes ports de sortie et sont influencés directement et indirectement par les mêmes VLs.

(I : chemin influents = chemins ID + chemins II)

	Moy I	Min I	Max I	Nbre de chemins	Nbre de groupes
Chemins de long1	323	12	709	1778	111
Chemins de long2	531	241	709	2778	350
Chemins de long3	473	241	709	1537	324
Chemins de long4	472	308	586	291	76
Tous les chemins	472	12	709	6384	861

Tableau 5 : Distribution des chemins selon leurs longueurs

Le tableau 5 montre le nombre de types identifiés par longueur de chemin ainsi que les nombres moyen, minimal et maximal de chemins qui influent un chemin donné. Le tableau montre d'une part une grande disparité du nombre de VLs influant sur un chemin, d'autre part que le nombre de VLs influents n'augmente pas nécessairement avec la longueur du chemin.

4.3.1.2 Rapport entre chemin II et ID

C'est le rapport entre le nombre de VLs ID (Influant Directement) et le nombre total de VLs influents sur le chemin étudié (p_x). L'intérêt de ce paramètre est de voir comment sont répartis les VLs influents sur le chemin étudié.

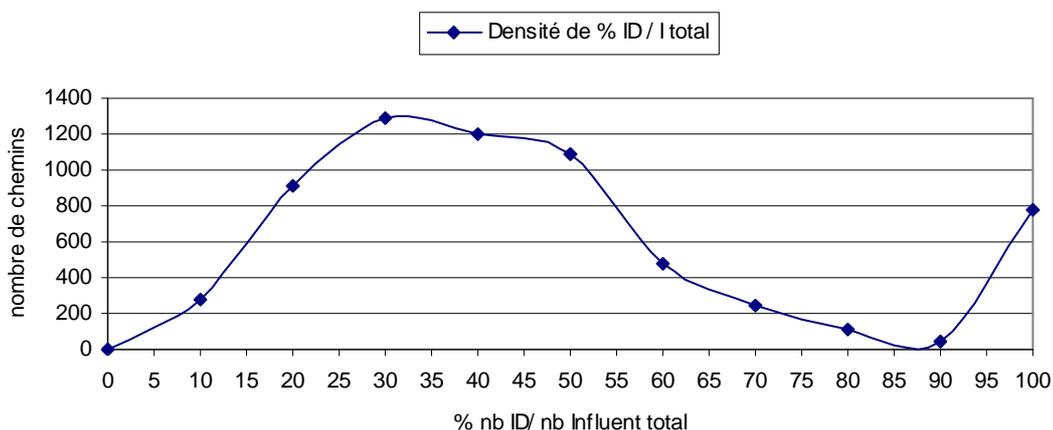


Figure 45: répartition des chemins influents sur un chemin

Rapport minimum (ID/ total I) = 1%
 Rapport moyen (ID/ total I) = 42%
 Rapport maximum (ID/ total I) = 100%

La figure 45 montre la distribution du rapport ID/I, entre le nombre des VLs directement influents et le nombre total des VLs influents, pour chacun des 6384 chemins de la configuration réelle. L'axe des abscisses représente le pourcentage du rapport ID/I qui, dans notre cas varie de 1% à 100%. L'axe des ordonnées représente le nombre de chemins de la configuration. Nous constatons que pour une large majorité de chemins de la configuration réelle le rapport ID/I est compris entre 20% et 50%. Cela veut dire que pour une majorité de chemins, le nombre de VLs II est supérieur au nombre de VL ID. La moyenne du rapport ID/I est 42%. Cela signifie qu'en moyenne 42% des VLs influents, sur un chemin de la configuration, sont ID.

4.3.1.3 Niveau de l'influence indirecte

Les VLs II (Influant Indirectement) appartiennent à différents niveaux d'influence, c-à-d,

- ils peuvent influencer indirectement par l'intermédiaire d'un VL ID (niveau 1), ou bien,
- ils peuvent influencer des VLs qui à leurs tours influent indirectement le chemin p_x (niveau 2) ... et ainsi de suite.

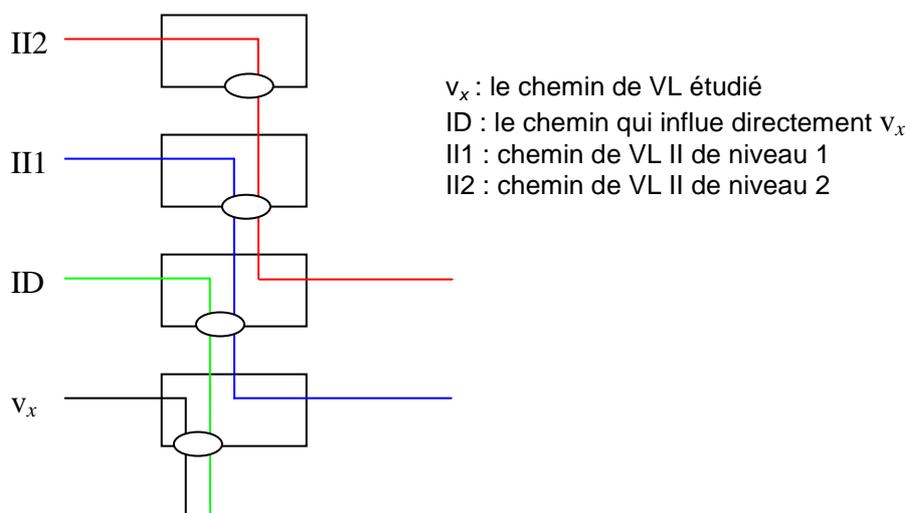


Figure 46 : Niveaux d'influence indirecte

Dans notre application on distingue plusieurs niveaux d'influence indirecte sur un chemin donné. Les chemins à étudier par simulation devront représenter donc les différents niveaux d'influence des chemins II que comporte la configuration réelle.

4.3.1.4 Exploitation de l'analyse de la configuration industrielle

En agrégeant les critères précédents, i.e. le rapport ID/I et le nombre de chemins influents, nous obtenons les distributions des chemins influents en fonction du rapport ID/I pour chacune des longueurs de traversée.

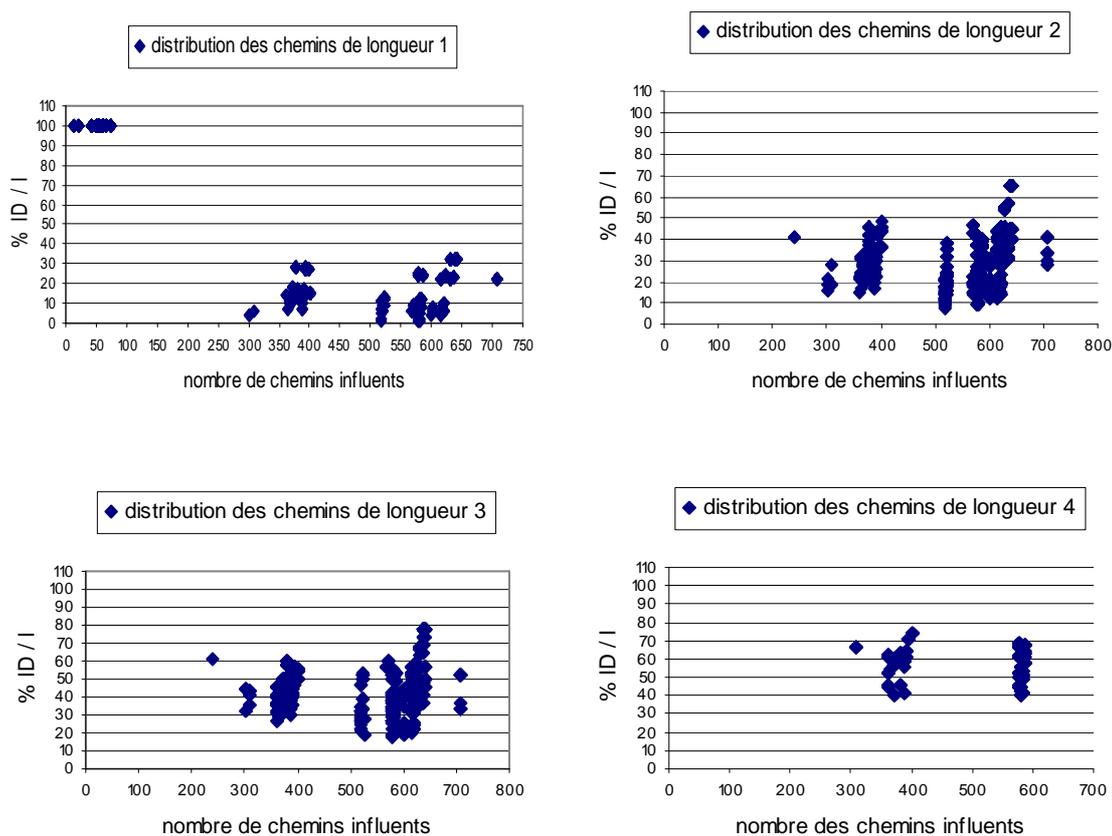


Figure 47 : Distribution des chemins en fonction du nombre des chemins influents et le rapport ID/I

Dans la figure 47, chaque graphique concerne une longueur de chemin. L'axe des abscisses représente le nombre des VLs influents (total influents = ID + II) sur un chemin de VLs de la configuration (pour les 6384 chemins). L'axe des ordonnées représente le pourcentage du rapport ID/I pour un chemin donné.

A partir de ces graphiques, nous distinguons des sous groupes de chemins dont les caractéristiques des influences subies sont similaires. Ces sous groupes identifiés par longueur de chemin sont notés comme suit : S1i, S2i, S3i et S4i.

Pour les chemins de longueur un (1778 chemins) nous distinguons trois sous groupes : Le premier (S11) est celui des chemins dont le facteur ID/I est de 100% (les chemins n'ont pas de VLs influent indirectement), ces chemins sont influencé par un nombre de chemins compris entre 12 et 74. Ce sous groupe renferme 43% des chemins de longueur un. Le deuxième sous groupe (S12) est celui dont le nombre de chemins influents est compris entre 308 et 402. Le facteur ID/I est compris entre 5 et 30%. D'après notre étude, 35% des chemins de longueur un appartiennent à ce groupe. Le troisième sous groupe (S13) est celui des chemins dont le nombre de chemins influents est supérieur à 518 (709 max). Quant au facteur ID/I, il est compris entre 1 et 35%. Ce sous groupe de chemins renferme 22% des chemins de longueur un.

Parmi les chemins de longueur deux (2778 chemins) nous distinguons aussi trois sous groupes : Le premier (S21) est celui des chemins dont le nombre de chemins influents est inférieur à 400 (le nombre minimal de chemins influents est 241). Quant au facteur ID/I, il est compris entre 16% et 50%. Ce sous groupe de chemins renferme 30% des chemins de

longueur deux. Le deuxième sous groupe (S22) est celui dont le nombre de chemins influents est compris entre 500 et 569. Le facteur ID/I est compris entre 7 et 42%. Le troisième sous groupe (S23) est celui des chemins dont le nombre de chemins influents est compris entre plus que 569 (709 max). Le facteur ID/I est compris entre 8 et 67%. 59% des chemins de longueur deux appartiennent à ce sous groupe de chemins.

De la même manière, nous distinguons deux sous groupes de chemins parmi les chemins de longueur trois (1537 chemins) S3i: Le premier est celui des chemins dont le nombre de chemins influents est inférieur à 400 (nombre minimal de chemins influents est 241). Il constitue 35% des chemins de longueur trois. Le facteur ID/I est compris entre 25 et 65%. Le deuxième sous groupe est celui dont le nombre de chemins influents est compris entre 518 et 709 (nombre maximal de chemins influents). Le facteur ID/I est compris entre 18 et 80%. 65% de chemins de longueur trois appartiennent à ce sous groupe.

Egalement, pour les chemins de longueur quatre (291 chemins), S4i, nous distinguons aussi deux sous groupes : Le premier est celui des chemins dont le nombre de chemins influents est inférieur à 400 (nombre minimal de chemins influents est 308). Il constitue 49% des chemins de longueur quatre. Le facteur ID/I est compris entre 37 et 77%. Le deuxième sous groupe est celui dont le nombre de chemins influents est supérieur à 578 (nombre maximal de chemins influents est 586). Le facteur ID/I est compris entre 37 et 72%. 51% de chemins de longueur quatre appartiennent à ce sous groupe.

4.3.2 Plan d'expérimentation et résultats

Le plan d'expérimentation est dérivé de l'analyse du paragraphe précédent. Il est composé de deux grands lots :

- Le premier lot (L1) contient deux ensembles de simulations (L1_A et L1_B) qui concernent les chemins de longueur 1 et 2. Dans ces simulations on construit des configurations similaires à celles de l'application industrielle à l'aide d'un modèle général. On prend un nombre de chemins influents et un rapport ID/I qui reflètent l'application. On représente ainsi les sous groupes identifiés dans le paragraphe précédent (S1i et S2i). On s'arrête à la longueur 2 en supposant que le résultat peut être généralisé sur les autres longueurs.
- Dans le deuxième lot (L2) nous menons une campagne de simulation permettant de conforter ces constatations relevées précédemment dans L1_A et L1_B afin de les généraliser. On expérimente ainsi toutes les longueurs de chemins (de 1 à 4). On extrait des cas réels de l'application industrielle selon les critères de groupement du paragraphe précédent.

Sachant que le lot L1 correspond à des configurations contenant des BAG et des tailles de trames arbitraires, le lot L2 correspond à des valeurs réelles de BAG et de tailles de trames issues de l'application industrielle.

Les paragraphes suivants détaillent chacun de ces lots et analysent les résultats de simulation obtenus.

4.3.2.1 Simulation L1_A

Toutes les configurations de cet ensemble sont fondées sur une architecture de réseau qui correspond à l'architecture dans laquelle évoluent les chemins de longueur un de l'application industrielle de la figure 32. Cette architecture est présentée sur la figure 48. Elle comprend deux commutateurs (sy et sy_1), qui renferment des chemins II et ID sur le chemin étudié px (e_x-sy-e_q) de longueur un (figure 48). Le chemin e_x-sy-e_q du VL vx traverse un seul commutateur sy et il est influencé par des chemins ou portions de chemins provenant du sy et du sy_1 . Le VL vx est émis par l'*End System* e_x , qui émet n_x autres VLs. Parmi ces n_x VLs, m_x iront vers la même destination que vx : l'*End System* e_q .

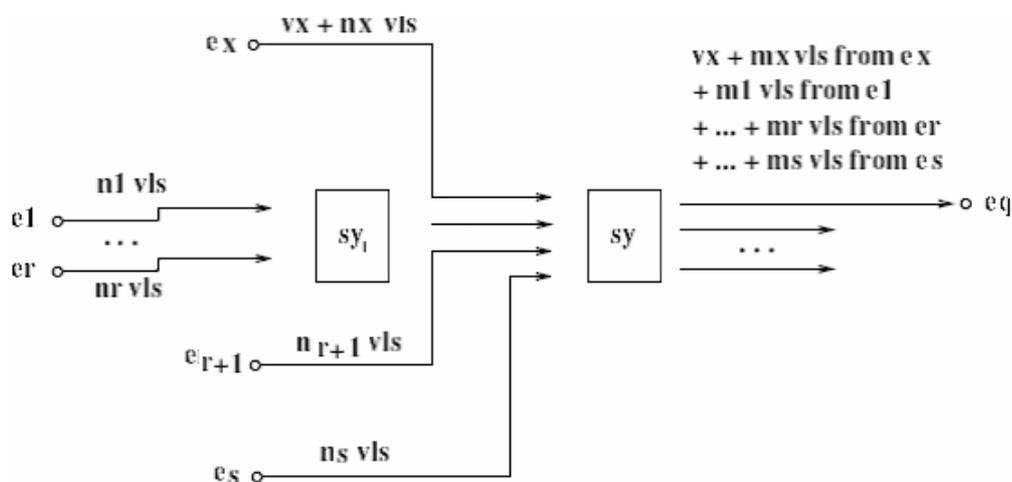


Figure 48: Modèle de configuration renfermant des chemins ID et II (chemin de longueur 1)

Les *End Systems*, e_1 à e_s émettent chacun n_i VLs ($1 \leq i \leq s$), parmi lesquels m_i sont à destination du *End System* e_q .

Dans cette configuration, le chemin e_x-sy-e_q du VL vx peut être influencé par les deux classes de chemins :

- Directe :
 - Les n_i VLs (autre que vx) émis par e_x .
 - Les m_i VLs émis par chacun des *End Systems* e_i ($\{e_1$ à $e_s\}$), qui sont à destination de e_q .
- Indirecte :
 - Ce sont tous les VL semis par les *End Systems* e_1 à e_s qui n'ont pas une influence directe sur vx (qui ne sont pas à destination de e_q).

En distinguant entre ces chemins influents, nous obtenons : $[n_x + m_1 + m_2 + \dots + m_r + m_{r+1} + \dots + m_s]$ chemins en classe ID (représentant le même nombre de VLs), et $[\{n_1 - m_1\} + \{n_2 - m_2\} + \dots + \{n_r - m_r\} + \dots + \{n_s - m_s\}]$ chemins appartenant à la classe II (représentant aussi le même nombre de VLs), sachant que dans cette configuration les chemins non influents ont été éliminés (nous avons appliqué les résultats de la réduction précédente).

Les configurations de la simulation $L1_A$ sont décrites dans le tableau 6. Sachant que la première configuration C_{i1} (i de 1 à 4) est composée de chemins ID uniquement, les autres configurations dérivent de la première en faisant varier la distribution des chemins selon le degré d'influence directe ou/et indirecte. On obtient ainsi des chemins qui correspondent à des chemins tirés du groupe S_{1i} défini dans le paragraphe 4.3.1.4. Les 16 configurations C_{ij} correspondent au sous groupes S_{11} , S_{12} et S_{13} ; Par exemple, $\{C_{11}, C_{21}, C_{31}\}$ correspondent au sous groupe S_{11} , ce sont des configurations avec un nombre de chemins influents compris entre 12 et 74 et un de rapport ID/I de 100%. Toutefois, on a expérimenté des chemins avec différents nombres de chemins influents.

Chemin de VL	Configuration	Nombre de chemins ID	Nombre de chemins II	Nombre de chemins influents	% ID/Influents
P1	C11	20	0	20	100%
	C12		6	26	75%
	C13		20	40	50%
	C14		60	80	25%
P2	C21	40	0	40	100%
	C22		13	53	75%
	C23		40	80	50%
	C24		120	160	25%
P3	C31	60	0	60	100%
	C32		20	80	75%
	C33		60	120	50%
	C34		180	240	25%
P4	C41	80	0	80	100%
	C42		26	106	75%
	C43		80	160	50%
	C44		240	320	25%

Tableau 6: Représentation des configurations C_i

Tous les VLs ont des BAG de 16 ms et des trames de petites tailles (84 octets). L'architecture de l'exemple comporte un *End System* e_1 (autre que l'*End System* e_x) qui est à l'origine des chemins influents ($r = 1$).

Dans la première configuration C11, le chemin de vx est influencé uniquement par 20 chemins appartenant à la classe ID ($m_x + m_1$). Ce sont des chemins qui proviennent du même *End System* e_x et/ou de l'*End System* e_1 (en traversant les deux commutateurs sy et sy_1). A partir de cette configuration de référence pour P1, nous avons choisi de varier l'allocation des chemins influents pour étudier le degré d'influence des chemins indirectement influents sur vx . Dans la configuration C12, nous modifions la classe d'influence d'une partie des chemins I en II, tout en gardant le même nombre de chemins ID (20 chemins). Ainsi, le chemin de vx sera influencé directement par 20 chemins (appartenant à la classe ID) et indirectement par 6 chemins (appartenant à la classe II), avec un rapport 3/4. Comme pour la configuration C11, les chemins des classes ID et II proviennent des *End Systems* e_x et e_1 tandis que les chemins de II vont vers d'autres ports de sortie que e_q . De la même manière et pour chaque chemin (P_i), on fait varier le rapport ID/I, de 100% à 25%. La différence entre les chemins P_i étudiés est l'expérimentation des configurations avec un nombre croissant des chemins influant directement.

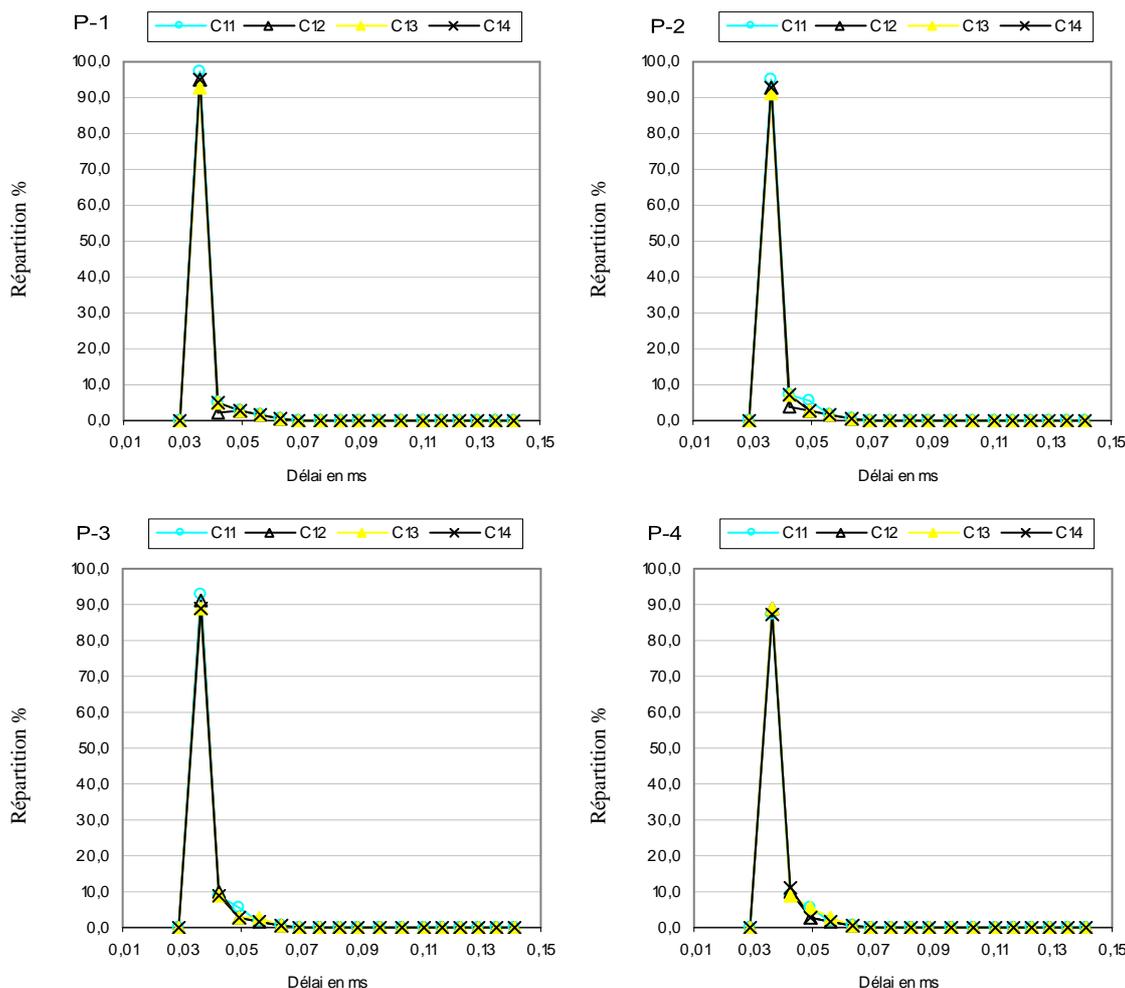


Figure 49: comparaison des distributions des délais des différentes configurations

La figure 49 montre les répartitions du délai obtenues par simulation avec QNAP2 du chemin ex-sy-eq correspondant aux différentes configurations. On considère que la simulation converge pour un ensemble de scénarios si la distribution obtenue n'est pas différente avec un ensemble de scénarii plus grand. On considère alors des intervalles de confiance à 5%.

Nous pouvons remarquer que le délai de bout en bout minimal est de l'ordre de 0.029 ms (valeur identique pour tous les configurations car il est en fonction de la taille de la trame du chemin étudié). En revanche, la valeur de la borne supérieure de délai calculée par l'approche de *Network Calculus* pour P1 est 0.157 ms (la valeur de la borne supérieure NC est aussi identique pour les quatre configurations de P1, ceci est dû au fait que le calcul dépend des chemins ID). Pour les chemins P2, P3, P4 on a trouvé respectivement les valeurs suivantes en calcul réseau : 0.284 ms, 0.419 ms, 0.553 ms.

Analyse des résultats

La première observation qu'on peut faire à propos de ces graphiques est que, pour presque tous les scénarii simulés, le délai de bout en bout est situé dans la première moitié de l'intervalle [délai minimal, borne supérieur NC], et pour environ 95 % des scénarii simulés,

le délai obtenu est dans le premier quart de cet intervalle. Cette tendance générale est vérifiée pour les différentes configurations.

D'après ces expériences nous pouvons constater plusieurs choses. Tout d'abord on remarque une différence négligeable entre les courbes de la répartition des délais des configurations C_{i1} , C_{i2} , C_{i3} et C_{i4} (pour P_1 , P_2 , P_3 et P_4). En conséquence, aucune influence significative des chemins II n'est détectée quel que soit le pourcentage du rapport ID/I.

D'autre part, en comparant les répartitions des délais de deux configurations avec des valeurs de chemins ID différentes (par exemple C_{12} et C_{21}), on trouve une différence significative de l'ordre de 8%. Cette différence s'explique du fait que le nombre de chemins ID varie. Dans la configuration C_{12} nous avons 40 chemins I en total dont 20 sont II (et 20 ID), par contre dans la configuration C_{21} tous les VL influents sont ID. En conséquence, nous tirons de cette comparaison que les délais de bout en bout sont significativement influencés par les chemins de la classe ID.

Synthèse

Les résultats de ces simulations montrent que la classe des chemins II n'a pas d'influence significative sur la distribution des délais d'un chemin P_x de longueur un. En outre, on constate que la classe des chemins ID à une influence importante sur la distribution des délais. Nous avons procédé comme suit : on a étudié le cas de configuration avec chemins directs seulement, puis on a réduit le pourcentage des chemins directs en gardant constant leurs nombres. Dans ce cas, on n'a pas constaté une variation remarquable de la répartition des délais. Cette étude a été également réalisée pour différentes charges de chemins (nombre de chemins) afin de comparer l'influence significative des chemins ID par rapport aux chemins II.

4.3.2.2 Simulation L1_B

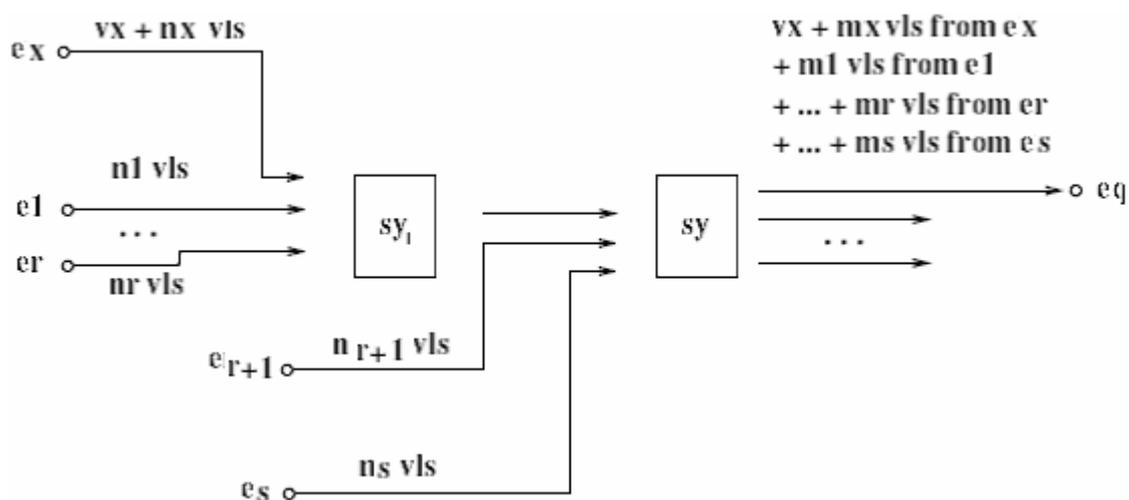


Figure 50: Modèle de configuration renfermant des chemins ID et II (chemin de longueur 2)

Dans cette simulation, nous considérons un modèle de réseau constitué de deux commutateurs et plusieurs *End Systems*. Le chemin p_x ($e_x-sy_1-sy-e_q$) que nous étudions est de longueur deux, il traverse les deux commutateurs sy_1 et sy vers l'*End System* de

destination e_q (figure 50). La seule différence par rapport à la figure 48 c'est que le chemin px étudié traverse sy_l avant sy .

Les configurations de la simulation $L1_B$ sont décrites dans le tableau 7. Pour toutes les configurations considérées, les VLs ont un BAG de 16 ms et une petite taille de trame (84 octets). La configuration du modèle de réseau est composée de 12 *End Systems* ($r = 12$) qui sont à l'origine des chemins influents sur vx .

Chemin de VL	Configuration	Nombre de chemins ID	% chemins de Sy_1	% chemins de Sy	% ID/Influents
P1	C11	20	75%	25%	75%
	C13		50%	50%	25%
	C12		50%	50%	75%
	C14		75%	25%	25%
P2	C21	40	75%	25%	75%
	C23		50%	50%	25%
	C22		50%	50%	75%
	C24		75%	25%	25%
P3	C31	60	75%	25%	75%
	C33		50%	50%	25%
	C32		50%	50%	75%
	C34		75%	25%	25%
P4	C41	80	75%	25%	75%
	C43		50%	50%	25%
	C42		50%	50%	75%
	C44		75%	25%	25%

Tableau 7: Représentation des configurations

Dans le cadre de cette deuxième simulation, nous comparons l'influence de la distribution des chemins II sur la répartition des délais d'un chemin de longueur deux.

Afin d'expérimenter le degré d'influence des chemins II sur ce chemin, nous avons procédé comme suit : fixer le nombre des chemins ID (Influant Directement), et varier le nombre de chemins II (le pourcentage du rapport ID/I) pour chaque distribution de chemins influents sur px . Par exemple, dans la première configuration (C11), le chemin vx est influencé par 20 chemins appartenant à la classe ID (26 chemins au total dont 6 sont II). Ces chemins proviennent des *End Systems* connectés aux commutateurs sy_l et sy que traverse le chemin vx . Le rapport entre les chemins influents ID/I est de 75%. Tout en gardant le même nombre des chemins ID, nous modifions la distribution des chemins II dans les autres configurations C1i (i de 1 à 4). Dans ces quatre configurations (C1i), le chemin px est influencé directement par 20 chemins avec des proportions variées de chemins II et aussi des distributions distinctes de nombre de VLs provenant des deux commutateurs sy_l et sy . Cela permet de couvrir différents cas possibles pour un chemin de longueur deux. De la même manière et pour chaque chemin (Pi), nous faisons varier le rapport ID/I, entre 75% et 25%. La différence entre les chemins Pi étudiés est l'expérimentation des configurations avec un nombre croissant des chemins influent directement. De ce fait, on obtient des chemins qui correspondent à des chemins tirés du groupe S2i définit dans le paragraphe 4.3.1.4. Les configurations Cij correspondent au sous groupes S21, S22 et S23. Par exemple, {C34, C44} correspondent au sous groupe S21, le nombre de chemins influents est inférieur à 400 et le facteur ID/I est compris entre 16% et 50%. etc.

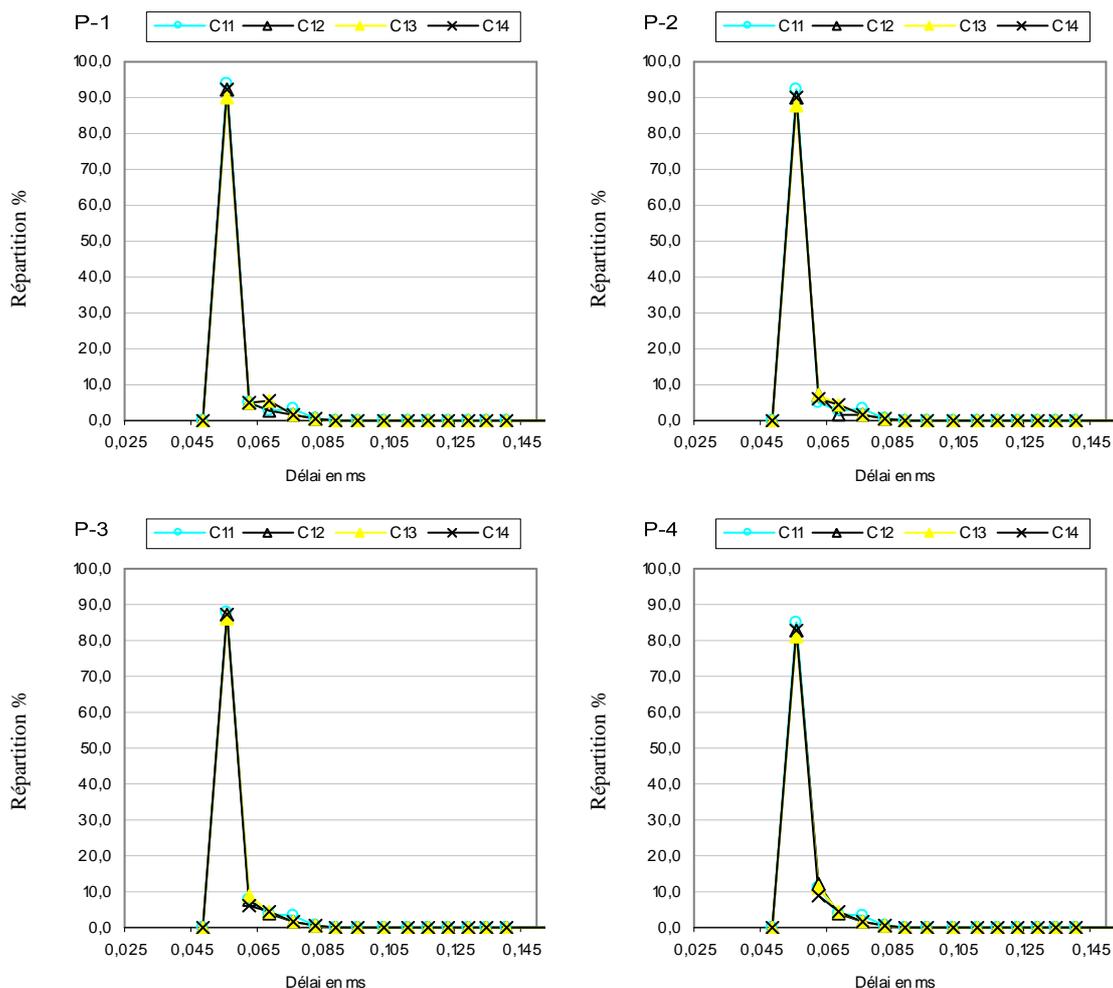


Figure 51: Comparaison entre les répartitions des délais des quatre configurations

La figure 51 montre les répartitions des délais obtenues par simulation (en QNAP2) du chemin p_x correspondant aux quatre configurations pour chaque valeur du nombre de chemins ID. Comme dans l'exemple précédent, les simulations convergent dans un temps raisonnable.

D'après ces graphiques, nous remarquons que le délai de bout en bout minimal est de l'ordre de 0.052 ms (valeur identique pour tous les configurations car il est en fonction de la taille de la trame du chemin étudié). D'autre part, la valeur de la borne supérieure de délai calculée par l'approche de *Network Calculus* pour P1 est 0.173 ms (la valeur de la borne supérieure NC est aussi identique pour les quatre configurations de P1, ceci est dû au fait que le calcul dépend des chemins ID). Pour les chemins P2, P3, P4 on a trouvé respectivement les valeurs suivantes en calcul réseau : 0.307 ms, 0.441 ms, 0.576 ms. Comme dans la simulation L1_A, on peut également remarquer la tendance générale du graphique pour presque tous les scénarii simulés : le délai de bout en bout est situé dans la première moitié de l'intervalle [délai minimal, borne supérieur NC], et pour environ 95 % de scénarii simulés le délai obtenu est dans le premier quart de cet intervalle.

Analyse des résultats

Comme le montre la figure 51, il apparaît bien que les quatre courbes de répartitions des délais sont quasi-identiques pour les différentes configurations de chemins simulées. En fait, d'après ces expériences nous pouvons constater plusieurs choses. Tout d'abord on remarque une différence négligeable entre les courbes de la répartition des délais des configurations Ci1, Ci2, Ci3 et Ci4 (i de 1 à 4). Aucune influence remarquable n'est signalée. En fait, la variation de la charge (le nombre) des chemins II reste sans impact sur la distribution des délais mesurés lors de la simulation des différentes configurations. En effet, on obtient des répartitions qui coïncident manifestement, avec toutefois quelques dérives minimales dues à la simulation. Il résulte de ce qui précède que, quelle que soit la configuration saisie, les chemins de la classe II n'engendrent pas d'influence significative sur la répartition des délais de bout en bout.

Synthèse

Les résultats de cette simulation montre que le fait de modifier la distribution des chemins influant indirectement, n'a pas d'effet significatif sur la répartition des délais d'un chemin de longueur deux. Cette expérimentation complète l'étude précédente avec la simulation L1_A (chemin de longueur 1); dans laquelle nous constatons que le fait d'écarter les chemins de la classe II durant la simulation n'a pas d'impact sur la distribution des délais de bout en bout.

4.3.2.3 Simulation L2

Nous menons dans ce paragraphe une campagne de simulation permettant de conforter les constatations relevées précédemment afin de les valider par expérimentation. Les chemins étudiés dans cette campagne de simulation seront sélectionnés pour représenter les divers sous-groupes identifiés de l'application industrielle présentés dans le paragraphe 4.3.1.4 (S1i, S2i, S3i et S4i). Le tableau ci-dessous récapitule pour les différents types significatifs de chemins, les classifications des VLs et les caractéristiques couvrant l'ensemble des chemins de la configuration réelle.

Chemin de VL	Long du chemin	Taille de la trame octets	Nombre de VLs influents	% ID/Influents	% niveau II		% chemins similaires (~)
					1	2+	
P- 1	1	267	41	100%	Φ	Φ	43%
P- 2		107	387	11%	44	56	35%
P- 3		131	522	14%	24	76	22%
P- 4	2	467	363	31%	67	33	30%
P- 5		195	523	38%	18	82	11%
P- 6		339	570	46%	41	59	59%
P- 7	3	343	308	43%	37	63	35%
P- 8		263	569	57%	17	83	65%
P- 9	4	195	308	67%	57	43	49%
P- 10		267	578	44%	26	74	51%

Tableau 8 : Caractéristiques des chemins représentatifs étudiés

Hypothèses de simulations

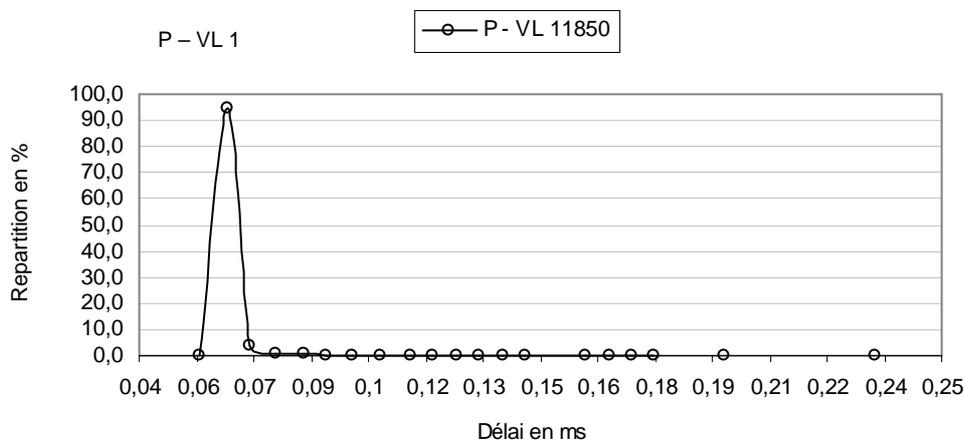
Durant cette évaluation nous avons considéré les hypothèses suivantes :

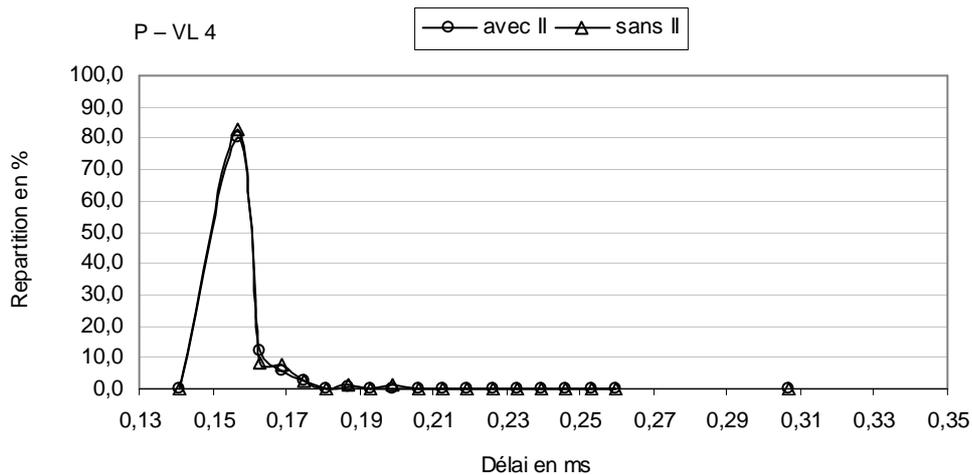
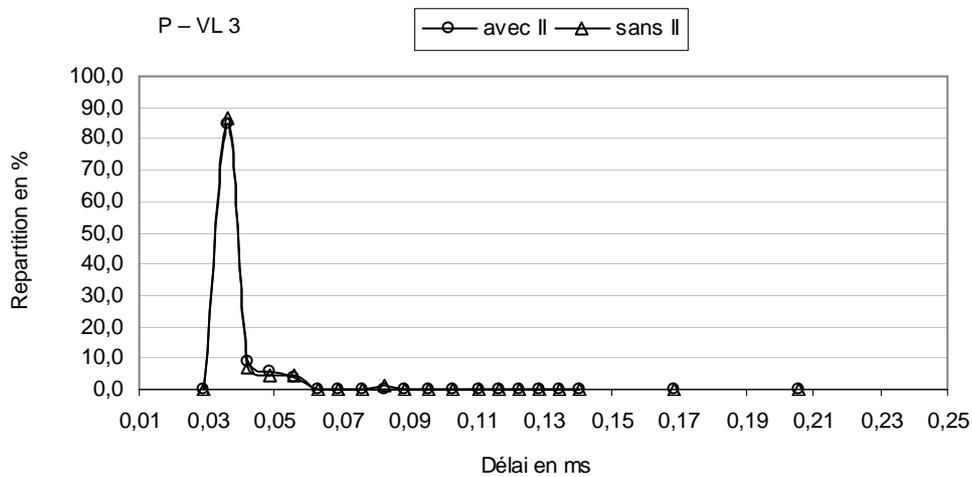
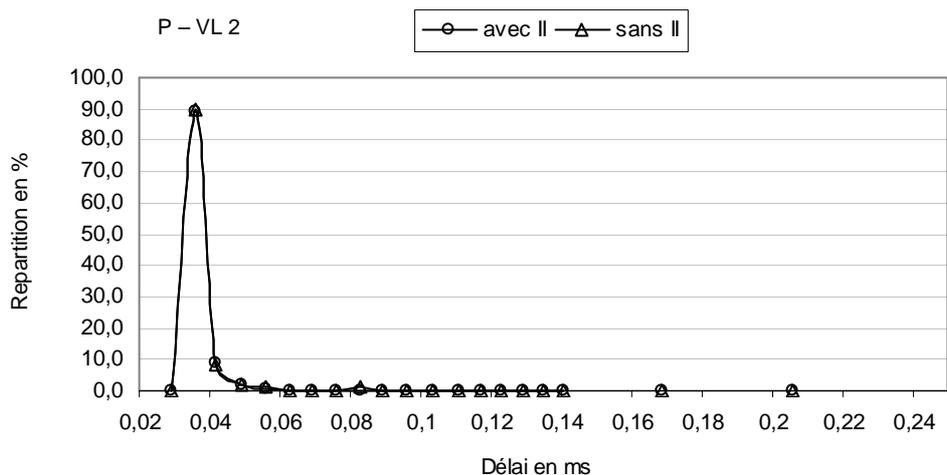
- Taille maximale des trames pour les différents VLs.
- Présence des trames : nous considérons que les trames sont générées en utilisant le BAG comme période, nous nous situons donc dans le cas du trafic maximal. La probabilité d'envoi d'une trame dans une période est alors égale à un : $P_{bag} = 1$ (occupation de BAG à 100%).
- Scénarii désynchronisés : les simulations sont effectuées avec des phases aléatoires. Nous associons à chaque VL une phase aléatoirement choisie entre 0 et son BAG et cela à la génération des trames.

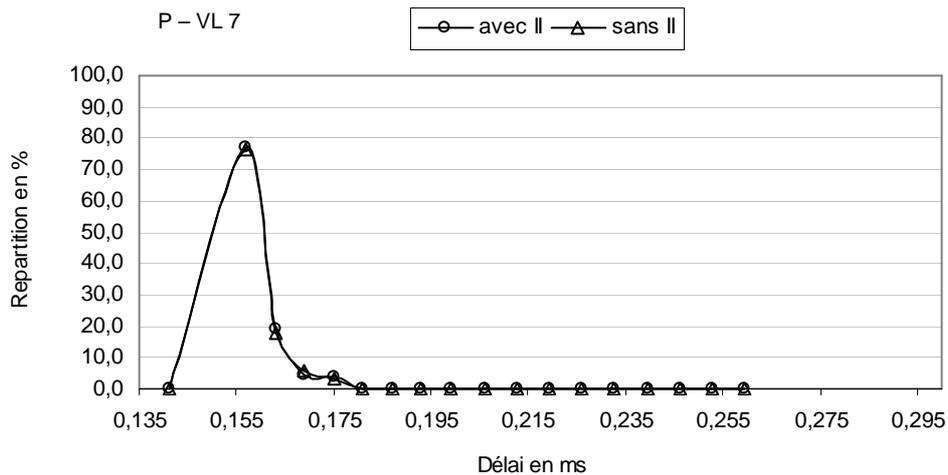
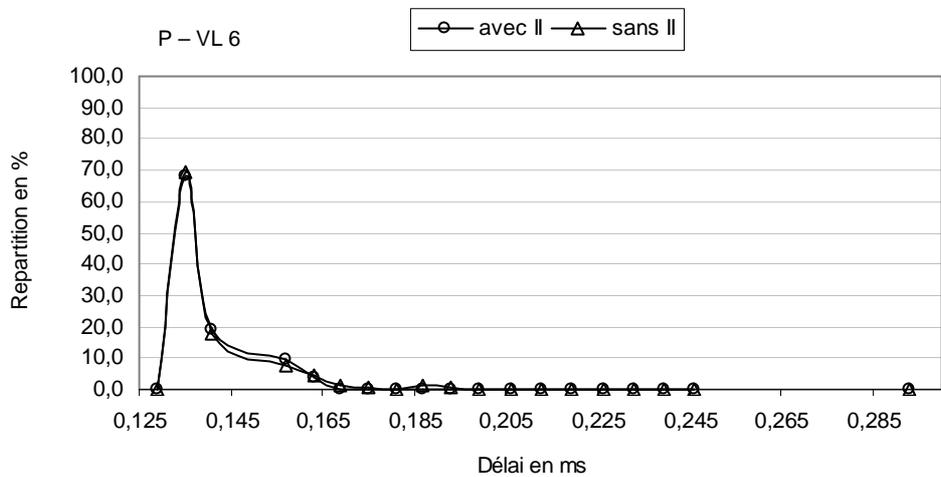
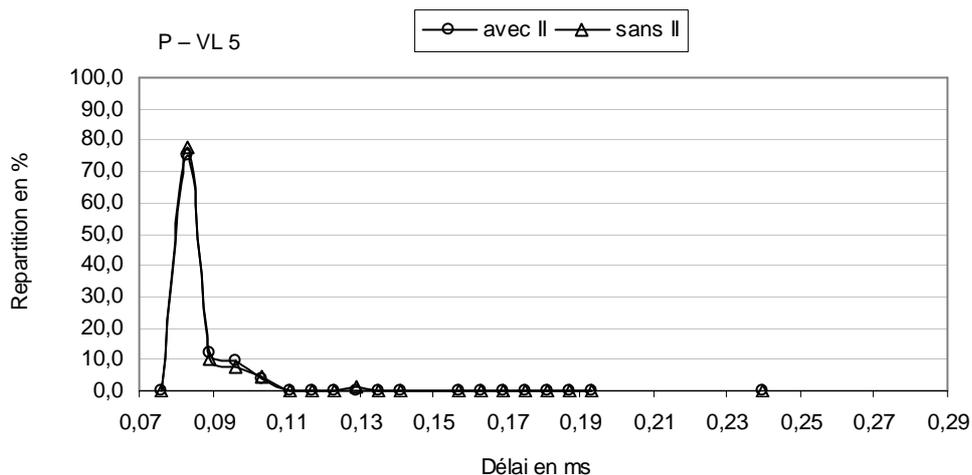
Afin de comparer l'impact des chemin II sur les répartitions des délais, deux simulations sont réalisées pour chaque chemin étudié, avec et sans les chemins II. Pour chacune d'elle, on considère un nombre important de déphasages différents.

Résultats des simulations

Les graphiques de la figure 52 montre, pour chaque chemin étudié, la répartition des délais dans les deux cas : avec et sans les chemins II (Influant Indirectement). L'axe des abscisses représente le délai de traversée en ms. L'axe des ordonnées représente la densité en % du délai de bout en bout.







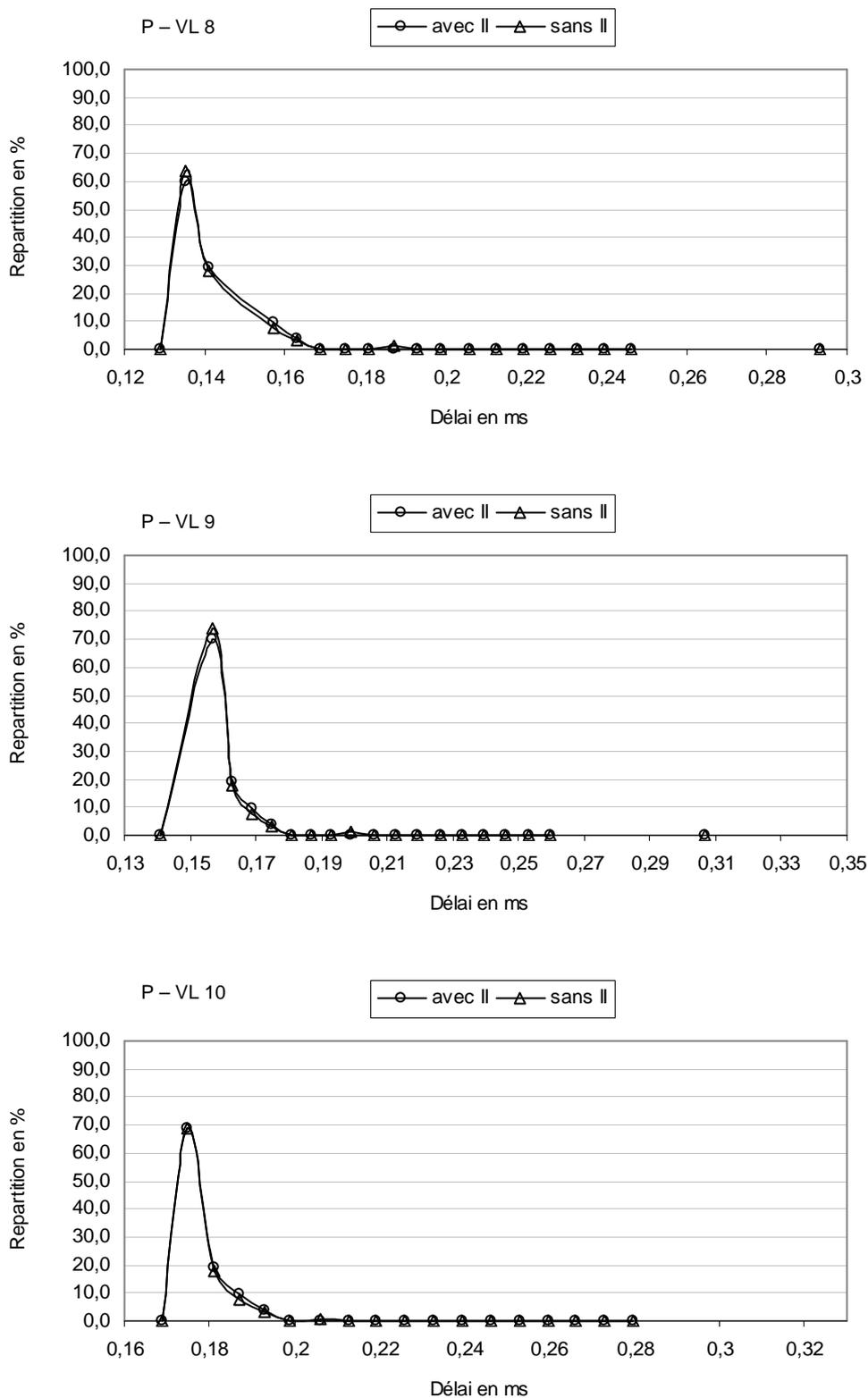


Figure 52 : Comparaison entre les répartitions des délais, avec et sans II

Analyse des résultats

Nous constatons que les courbes de répartitions des délais des chemins de VL (v_x) obtenues par simulation sont quasi-identiques pour les deux configurations simulées, avec et sans les chemins II. Ce résultat n'est pas surprenant, pour les mêmes raisons, décrites dans les paragraphes précédents. En fait, la différence distinguée est très minime; aucune influence n'est remarquable. La variation de la charge (en nombre de chemins) des chemins II reste sans impact sur les délais mesurés lors de la simulation des différentes configurations. Ces résultats obtenus sur des exemples tirés de l'application réelle confirment ceux obtenus lors des simulations L1_A et L1_B (sur des configurations simples de chemins de longueur un et deux). Nous déduisons de ces expériences effectuées, sur des chemins représentatifs tirés de l'application industrielle, que le fait d'écarter les chemins de la classe II (Influant Indirectement) durant la simulation n'a que très peu d'effet sur la distribution des délai de bout en bout de ces chemins.

4.3.3 Conclusion sur l'étude des chemins influant indirectement

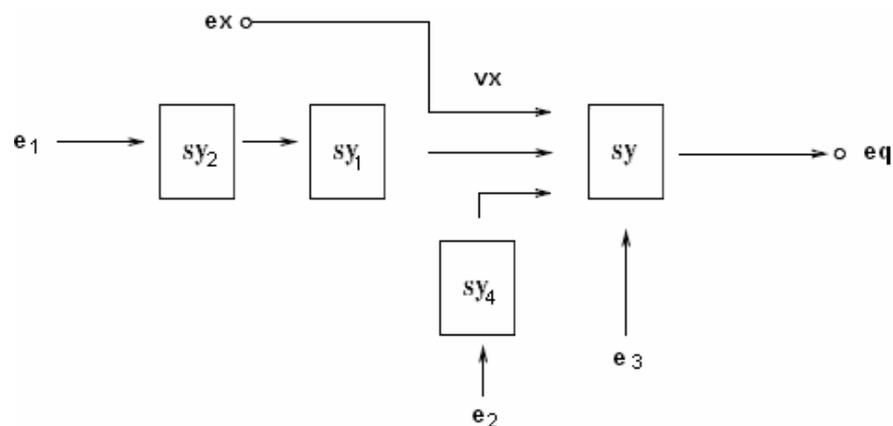
Nous avons présenté dans cette partie une proposition de réduction de l'espace de simulation qui consiste à élaguer les chemins de la classe des chemins II (Influant Indirectement) durant l'étude du délai de bout en bout d'un chemin de VL.

Les expérimentations présentées dans ce paragraphe ne montrent pas d'impact des chemins de la classe II sur la distribution des délais de p_x . Il paraît alors raisonnable d'affirmer que les chemins de la classe II peuvent être écartés. La réduction ainsi obtenue est très importante. Moyennant une réduction additionnelle de 66% des VLs (par rapport à la première réduction des chemins NI), le nombre de chemins restants constitue 17% de la taille initiale de la configuration industrielle (soit 166 VLs au lieu de 984).

4.4 Simplification de l'architecture

Dans ce paragraphe, nous explorons une troisième voie pour réduire davantage la configuration et simplifier la mise en œuvre de la simulation. Elle consiste à étudier des modifications plus profondes du réseau, qui touchent à son architecture physique. En fait, la possibilité de simplifier l'architecture du réseau dépend de l'influence effective de la structure des chemins de la classe ID sur la distribution des délais de bout en bout de p_x . Ainsi, nous proposons d'agrèger et/ou élaguer certaines portions de chemins ID (influant directement), éventuellement jusqu'à ne considérer que les ports de sortie traversés par p_x , dans la mesure où ils n'affectent pas la distribution des délais de bout en bout.

Le point de départ de l'étude tient compte de la réduction précédente : la configuration est composée uniquement de chemins directement influents. Nous considérons ensuite des configurations caractéristiques d'une architecture réelle du réseau AFDX. Puis nous expérimentons l'impact de la suppression de certaines portions de chemins sur la répartition des délais d'un chemin.


Figure 53: Configuration représentative des types de chemins ID

Dans la figure 53 nous présentons trois types de trajet pour un chemin influant directement sur vx ($e_x - s_y - e_q$) :

- à partir du *End System* e_1 , un chemin de longueur trois (traverse trois commutateurs),
- à partir de e_2 , chemin de longueur deux,
- à partir de e_3 , chemin de longueur un.

Dans cette expérimentation nous avons étudié plusieurs exemples. Le tableau 9 résume la charge de chemins (nombre de chemins) de VLs dans le modèle. Sachant que « $n = m$ » pour tous les *End Systems* (trois *End Systems*), tous les chemins atteignant e_q sont alors directement influents sur p_x . mi ($1 \leq i \leq 3$) est le nombre de VL émis par le *End System* e_i .

	E11	E12	E13	E21	E22	E23	E31	E32	E33	E41	E42	E43
$m1$	5	10	10	10	15	35	50	25	10	20	30	50
$m2$	10	5	10	5	15	10	15	25	50	30	35	30
$m3$	10	10	5	35	20	5	10	25	15	50	35	20
$m\ total$	25			50			75			100		

Tableau 9: Les modèles de configuration

Les exemples étudiés couvrent des différentes distributions de chemins ainsi que des nombre de chemins influents divers.

En partant du modèle initial, nous avons mené plusieurs expériences pour mesurer le degré d'influence de court-circuitage de certaines branches du modèle. Le tableau 10 illustre les quatre configurations étudiées.

$C1$	Modèle initial
$C2$	Suppression de sy_1
$C3$	Suppression de sy_1, sy_2
$C4$	Suppression de sy_1, sy_2, sy_4

Tableau 10: Les cinq configurations étudiées

L'élagage consiste essentiellement à réduire la longueur des chemins influents en écartant pendant la simulation les commutateurs de traversée. Cela signifie physiquement qu'on ramène tous les *End Systems* qui sont à l'origine des chemins de VLs influents sur vx au

niveau du commutateur S_y . Nous comparons ainsi la configuration initiale C1 à la dernière configuration réduite C4 présentée dans la figure 54.

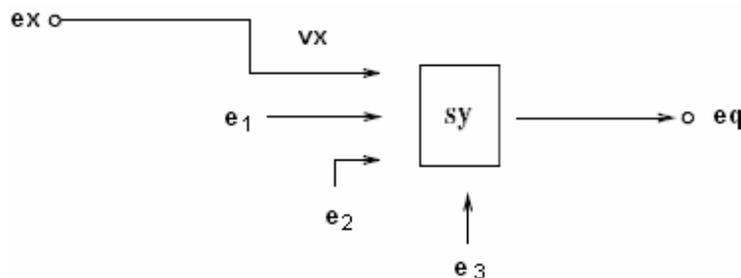


Figure 54: Configuration du modèle réduit C4

Pour toutes les configurations, tous les VLs ont des BAG de 16 ms et des trames de taille : 84 octets. Le délai de bout en bout minimal mesuré est de l'ordre de 0.029 ms. La valeur de la borne supérieure de délai calculée par l'approche de *Network Calculus* est 0.190 ms pour E1i. La figure 55 montre les répartitions de délais du chemin p_x (e_x - sy - e_q) du VL vx obtenues par simulation avec QNAP2 pour E11 et E41 dans les quatre cas de configurations C1, C2, C3 et C4. Les autres courbes de répartition des délais obtenus pour les dix autres exemples ont montré des tendances identiques.

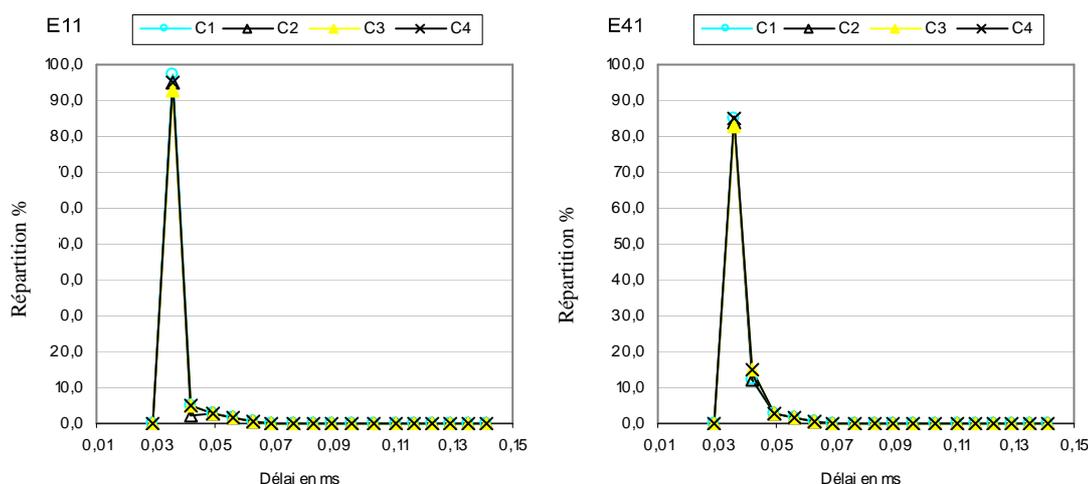


Figure 55: Comparaison des distributions des délais pour les différentes configurations

Comme le montre la figure 55, Il apparaît bien que les courbes des répartitions des délais sont quasi-identiques pour les différentes configurations simulées. Les résultats sont corroborés en simulant d'autres configurations similaires ($r = 3$ et avec différentes valeurs de m_x , n_x , n_r et m_r). Nous trouvons par conséquent que l'influence de la présence de ces commutateurs est insignifiante sur la distribution des délais. Nous interprétons cette influence minimale par le fait qu'un commutateur ne fait que de modifier potentiellement la phase des chemins ID. Ceci n'influe donc pas sur la distribution des délais de bout en bout du chemin p_x , puisque la simulation tient compte de tous les déphasages possibles. La dernière configuration obtenue simplifie largement l'architecture du modèle à simuler. Le nombre d'éléments du réseau à modéliser est réduit.

Cette simplification d'architecture ne s'applique qu'aux commutateurs ayant un seul End System en entrée. Dans le cas général, un commutateur a plusieurs End Systems en entrée. Ainsi, sur la figure 56 (partie haute), sy_1 a deux End Systems entrant e_1 et e_2 . Le problème est donc de savoir s'il est possible de supprimer un tel commutateur en fusionnant ses End Systems entrants (e_1 et e_2). On obtiendrait ainsi l'architecture de la figure 56 (partie basse).

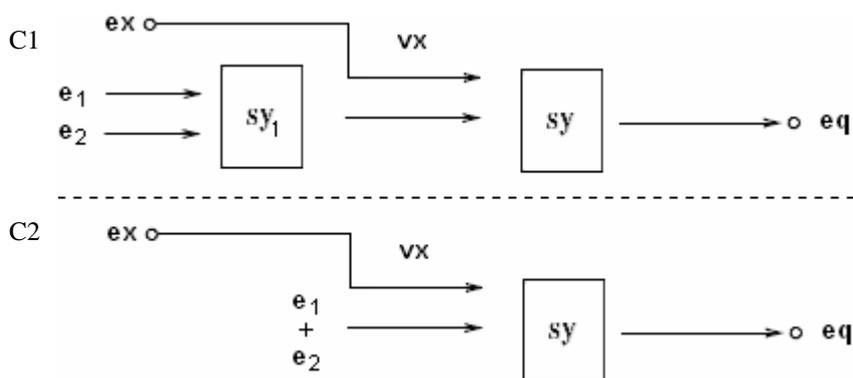


Figure 56: Modèles de configurations avec et sans chemins agrégés

Pour valider cette proposition, nous avons mené une campagne de simulation en considérant les configurations du tableau 11. Celle-ci montre pour chaque configuration le nombre de VLs émis par chaque End System, en considérant l'architecture du type de la figure 56.

	E11	E12	E13	E21	E22	E23	E31	E32	E33	E41	E42	E43
<i>m1</i>	15	20	5	10	25	40	50	40	25	25	50	75
<i>m2</i>	10	5	20	40	25	10	25	35	50	75	50	25
<i>m total</i>	25			50			75			100		

Tableau 11: Les configurations étudiées

Les exemples étudiés couvrent des distributions de chemins distincts ainsi que des nombre de chemins influents divers. La figure 57 montre les répartitions de délais du chemin p_x (e_x - sy - e_q) du VL vx obtenues par simulation avec QNAP2 pour les deux configurations E11 et E21. Les autres courbes de répartition des délais obtenus pour les dix autres exemples ont montré des tendances identiques. Les trames sont de tailles 84 octets, le $BAG = 32$ ms.

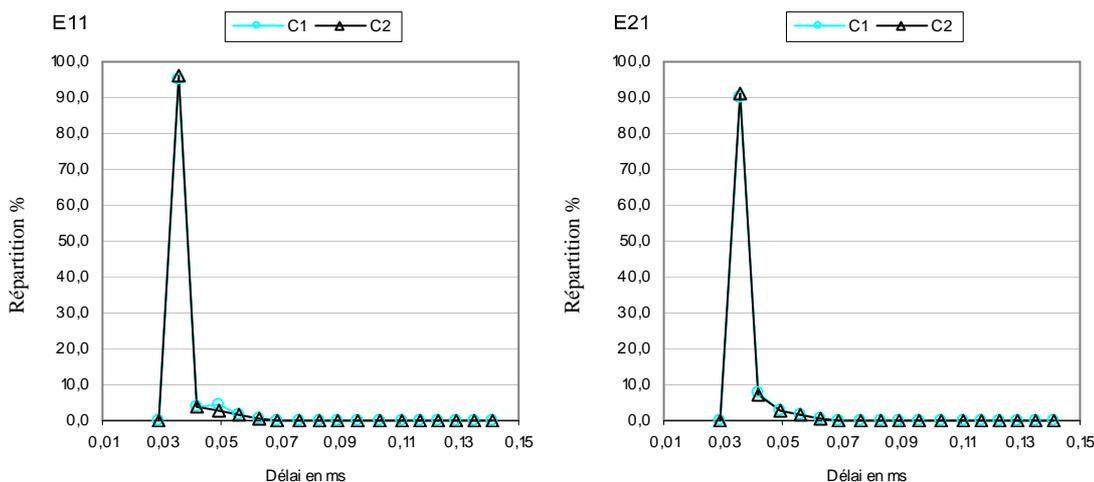


Figure 57: Comparaison des distributions des délais des deux configurations avec et sans agrégation

Nous constatons que les répartitions obtenues avec les deux modèles de configurations sont quasi-identiques pour les deux exemples. La différence obtenue est non significative. Les résultats ainsi obtenus valident l'idée d'éliminer tous les commutateurs non traversés par v_x , en agrégeant tous leurs End Systems d'entrée.

4.5 Modèle de simulation générique

En considérant les résultats obtenus lors des réductions de chemins dans les paragraphes précédents, nous proposons un modèle de simulation générique. Nous utilisons ce modèle simplifié pour acquérir la distribution des délais de bout en bout des chemins du réseau de test industriel.

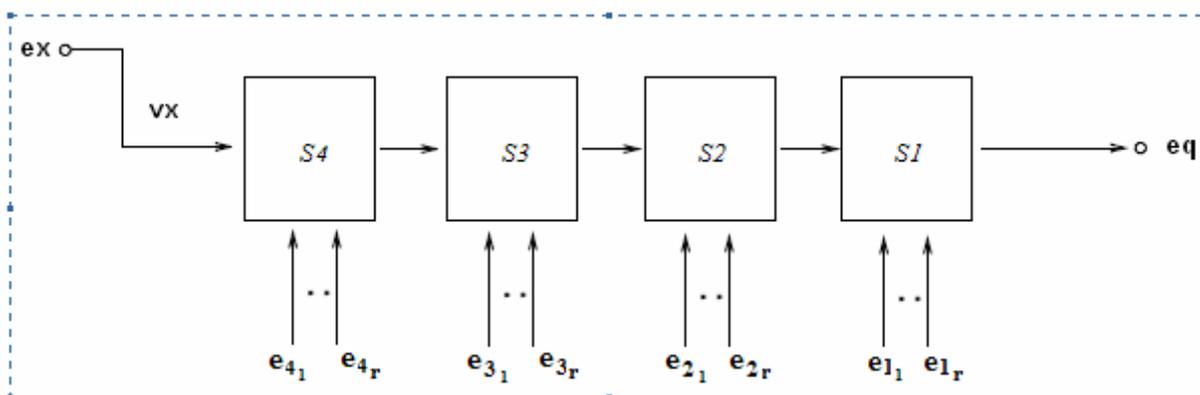


Figure 58: Modèle de simulation générique

Dans la figure 58, le chemin $e_x-s4-s3-s2-s1-e_q$ du VL v_x est de longueur 4 (longueur maximale d'un chemin de VL dans le prototype de l'application industrielle), il traverse quatre commutateurs et il est influencé par des chemins ou portions de chemins y parvenant. Le VL v_x est émis de l'End System e_x , qui émet m_x autres VLs iront vers la même destination que v_x , l'End System e_q . Dans ce modèle générique, nous avons écarté de la configuration l'ensemble des chemins suivant :

- les chemins qui n'influent pas sur le chemin p_x
- les chemins qui influent indirectement sur le chemin p_x

Nous avons également intégré les réductions sur l'architecture en éliminant certains éléments du réseau non influant effectivement sur le chemin p_x durant la simulation.

Le chemin p_x est alors directement influencé par des chemins et/ou portions de chemins à chaque passage dans un commutateur. Ces chemins ID proviennent normalement des *End Systems* connectés directement à ces commutateurs ou bien par le biais d'autres commutateurs de passage (c-à-d ces chemins ID eux même ont une longueur de traversée plus grande qu'un). Pour ces derniers nous les avons ramené au niveau du commutateur S_i (i de 1 à 4) suite aux résultats de l'expérimentation présentée dans le paragraphe précédent. Enfin, nous aboutissons à un modèle générique permettant d'étudier un chemin de VL donné quelle que soit sa longueur.

4.6 Distribution des délais de bout en bout sur une application industrielle

En utilisant le modèle générique du paragraphe précédent, nous présentons dans ce paragraphe les distributions des délais de bout en bout pour des chemins de l'application industrielle.

4.6.1 Répartition des délais : Groupement des chemins par type

Nous proposons tout d'abord de grouper les chemins de la configuration industrielle par leurs longueurs de chemins. On obtient alors quatre grands groupes à étudier.

Par la suite, pour chaque longueur de chemin nous groupons les chemins similaires (ceux ayant mêmes commutateurs traversés, même ports de sortie et directement influencés par les mêmes VLs). Ainsi, pour notre application de test nous obtenons les valeurs statistiques suivantes :

	Moyenne	min	max	Nombre de chemins	Nombre de groupes
Chemins de long 1	78	7	208	1778	111
Chemins de long 2	167	41	420	2778	350
Chemins de long 3	245	97	500	1537	324
Chemins de long 4	277	151	395	291	76
Tous les chemins	166	7	500	6384	861

Tableau 12: Distribution des chemins selon leurs longueurs

Nous avons à étudier au total 6384 chemins. Le tableau 12 montre la moyenne, le minimum et le maximum du nombre de chemins qui peuvent influencer directement un chemin de longueur donnée. La distribution par longueur en fonction du nombre de VL est illustrée dans la figure 59.

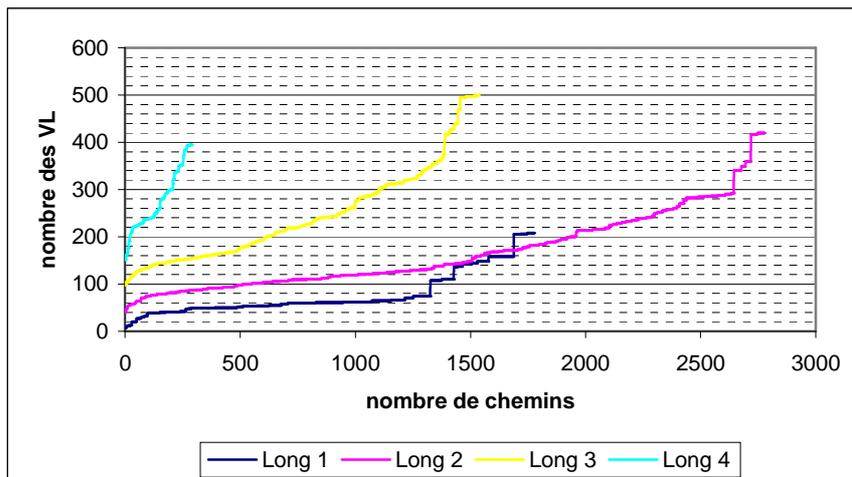


Figure 59: Distribution des chemins par longueur et par type

On constate qu'en général, le nombre des chemins influents augmente avec la longueur du chemin donné. Le tableau 12 montre aussi le nombre de groupes de chemins similaires pour chaque longueur de chemin. Au total nous avons dans cette application, 861 types différents (traversée différente) de chemins dont 111 sont de longueur un, 350 de longueur deux, 324 de longueur trois et 76 de longueur quatre. La figure 60 illustre la distribution des chemins selon leur type en fonction du nombre de VLs influençant.

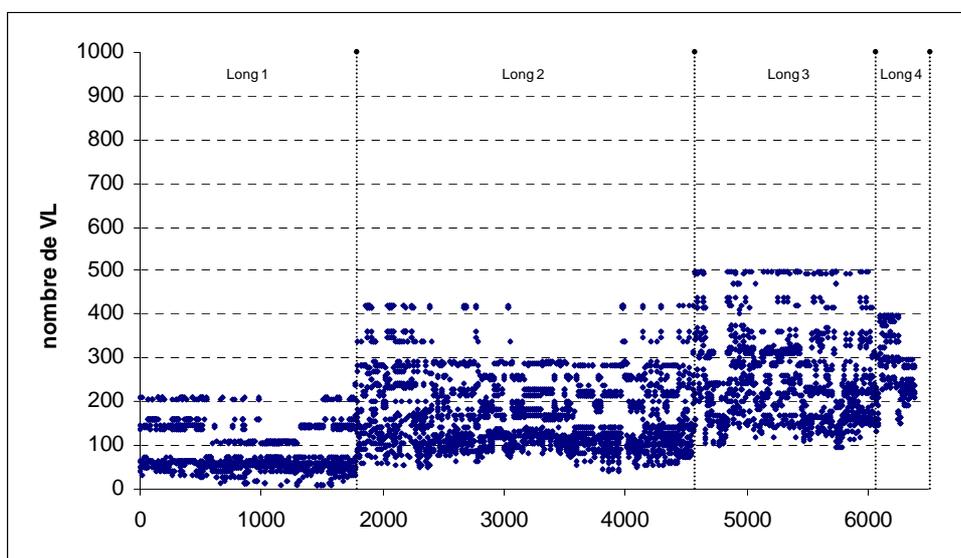


Figure 60: Distribution des chemins selon leurs types en fonction du nombre de VL influençant

Nous supposons que les chemins d'un même groupe subissent une influence similaire et se comportent d'une manière semblable. Nous montrons par la suite une évaluation de ce que pourrait être la répartition d'un tel type de chemins pour chaque groupe.

4.6.2 Chemins de longueur un

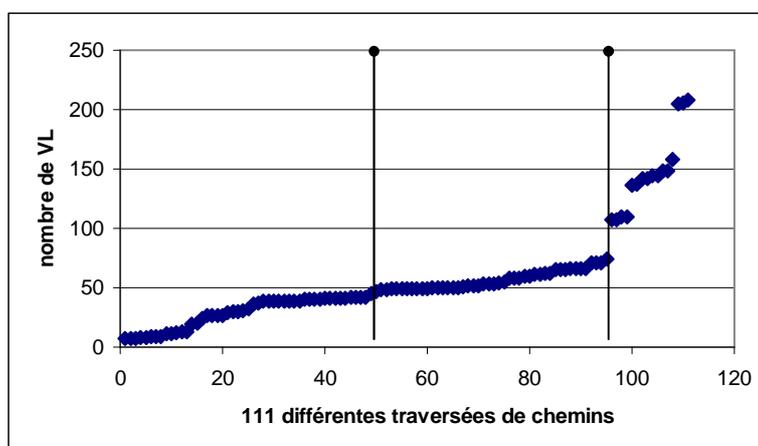


Figure 61: Groupe de chemins de longueur un

Pour les 111 chemins de longueur un, nous distinguons trois groupes (présentés dans la figure 61) :

- Groupe 1A : le chemin étudié est influencé par moins de 50 chemins,
- Groupe 1B : le chemin étudié est influencé par un nombre compris entre 50 et 100 chemins,
- Groupe 1C : le chemin étudié est influencé par plus de 100 chemins.

En supposant que les chemins d'un même groupe se comportent d'une façon similaire, nous choisissons un exemple de chemin par groupe et nous en tirons sa répartition de délai de bout en bout inhérent.

```
VL de longueur 1 groupe 1
Numéro de VL: 2852
End System eq connecté à switch 9 port 21
```

```
BAG: 4 ms
Taille min: 323 octets
```

```
Nombre d'échantillons : 1507863
Charge du port de sortie : 20 VLs
Délai min : 0,068 ms
Délai max atteint lors de la simulation : 0,141 ms
Délai max Network Calculus sur ce port : 0,257 ms
```

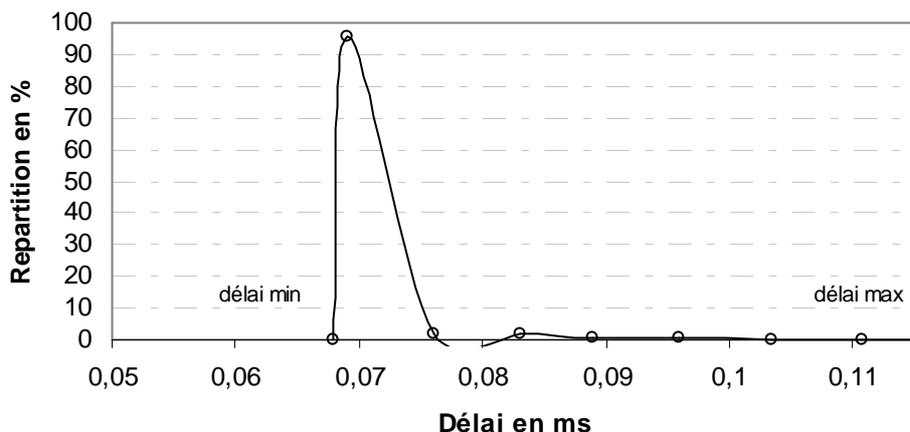


Figure 62: Répartition des délais du chemin de VL 2852

VL de longueur 1 groupe 2
 Numéro de VL: 28751
 End System eq connecté à switch 6 port 6

BAG: 64 ms
 Taille min: 84 octets

Nombre d'échantillons : 1411572
 Charge du port de sortie : 66 VLs dont 11 du même End System
 Délai min : 0,029 ms
 Délai max atteint lors de la simulation : 0,135 ms
 Délai max Network Calculus : 1,305 ms

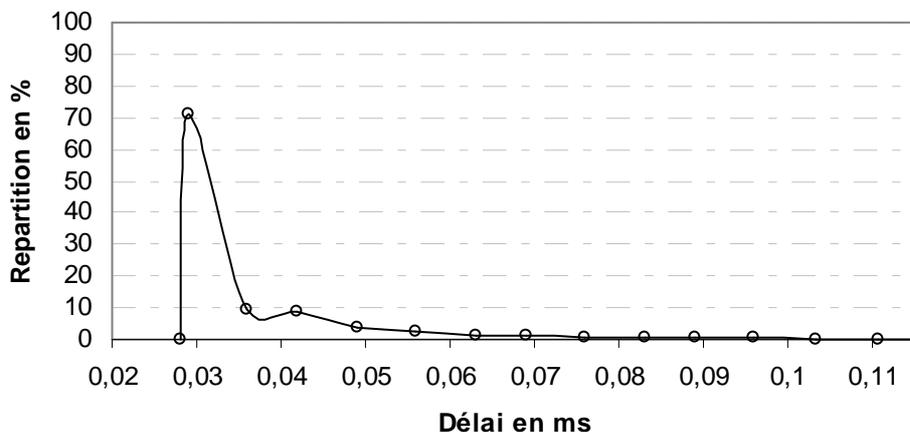


Figure 63: Répartition des délais du chemin de VL 28751

VL de longueur 1 groupe 3
 Numéro de VL: 28851
 End System eq connecté à switch 3 port 22

BAG: 128 ms
 Taille min: 123 octets

Nombre d'échantillons : 1385623
 Charge du port de sortie : 158 VLs dont 110 proviennent des End System
 Délai min : 0,036 ms

Délai max atteint lors de la simulation : 0,402 ms
 Délai max *Network Calculus* : 5,16 ms

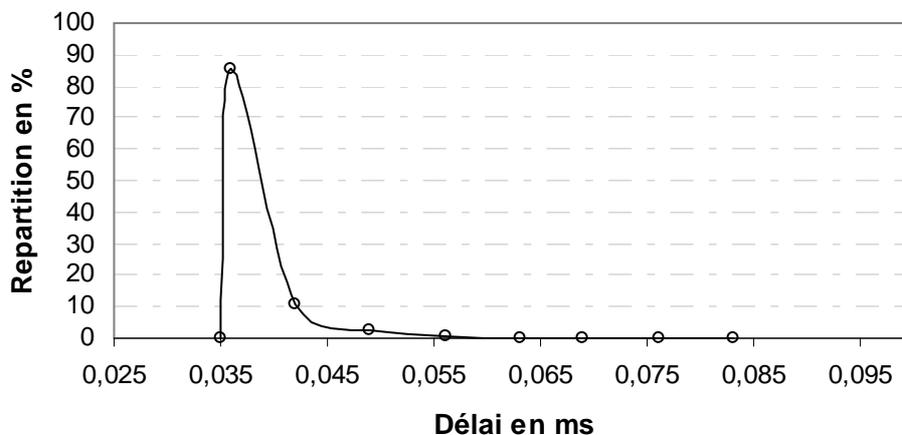


Figure 64: Répartition des délais du chemin de VL 28851

4.6.3 Chemins de longueur deux

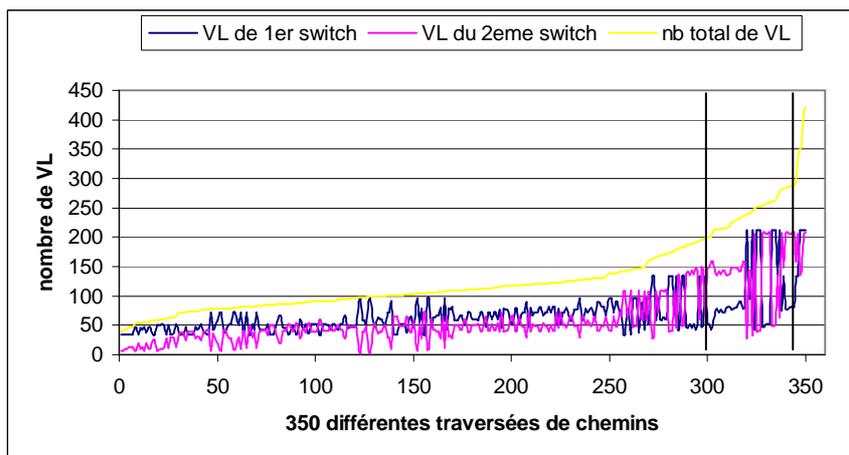


Figure 65: Groupe de chemins de longueur deux

Pour les 350 chemins de longueur deux nous distinguons aussi trois groupes (présentés dans la figure 65) :

- Groupe 2A : le chemin étudié est influencé par moins de 200 chemins,
- Groupe 2B : le chemin étudié est influencé par un nombre compris entre 200 et 300 chemins,
- Groupe 2C : le chemin étudié est influencé par plus de 300 chemins.

Nous choisissons par la suite un exemple de chemin par groupe et nous en tirons sa répartition de délai de bout en bout.

VL de longueur 2 groupe 1
 Numéro de VL: 11450
 $p_x: e_x - sw_1(24) - sw_9(8) - e_d$

BAG: 32 ms
 Taille min: 339 octets
 Nombre d'échantillons : 1200041
 Charge des ports de sortie : 92 VLs {(34,0),(5,53)}
 Délai min : 0,129 ms
 Délai max atteint lors de la simulation : 0,306 ms
 Délai max *Network Calculus* : 2,288 ms

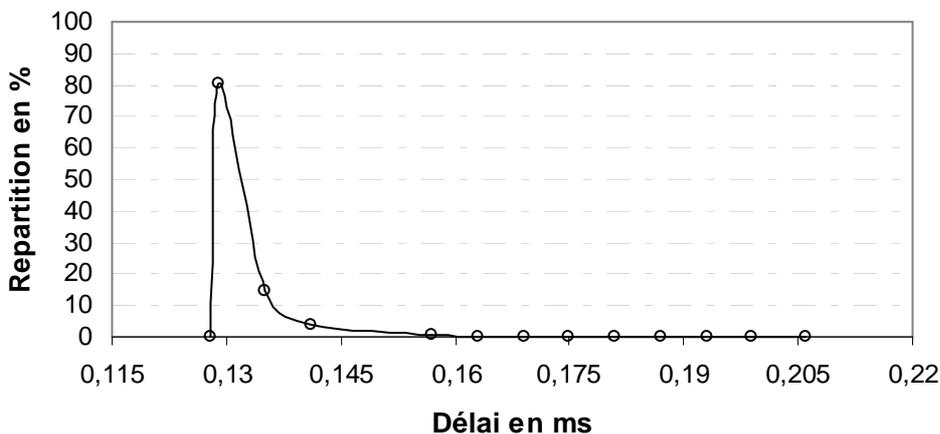


Figure 66: Répartition des délais du chemin de VL 11450

VL de longueur 2 groupe 2
 Numéro de VL: 11453
 $p_x: e_x - sw_1(19) - sw_3(22) - e_q$

BAG: 32 ms
 Taille min: 1067 octets
 Nombre d'échantillons : 1180568
 Charge des ports de sortie : 236 VLs {(78,0),(110,48)}
 Délai min : 0,288 ms
 Délai max atteint lors de la simulation : 0,576 ms
 Délai max *Network Calculus* : 7,32 ms

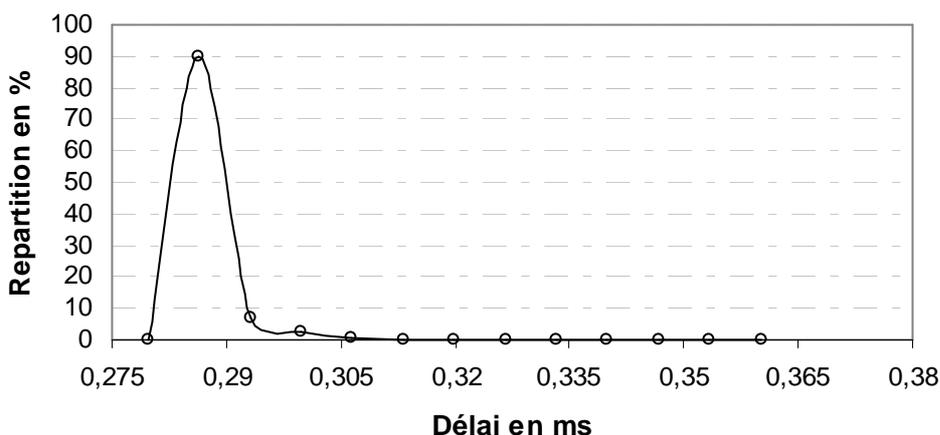


Figure 67: Répartition des délais du chemin de VL 11453

VL de longueur 2 groupe 3
 Numéro de VL: 12053
 $p_x: e_x - sw_3(24) - sw_4(16) - e_q$

BAG: 64 ms
 Taille min: 1267 octets

Nombre d'échantillons : 1076572
 Charge des ports de sortie : 349 VLs {(88,124),(20,117)}
 Délai min : 0,336 ms
 Délai max atteint lors de la simulation : 0,924 ms
 Délai max *Network Calculus* : 8,5 ms

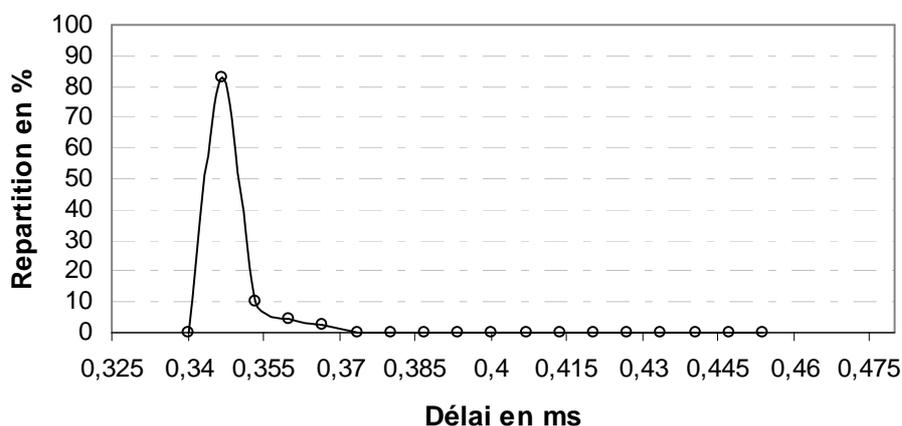


Figure 68: Répartition des délais du chemin de VL 12053

4.6.4 Chemins de longueur trois

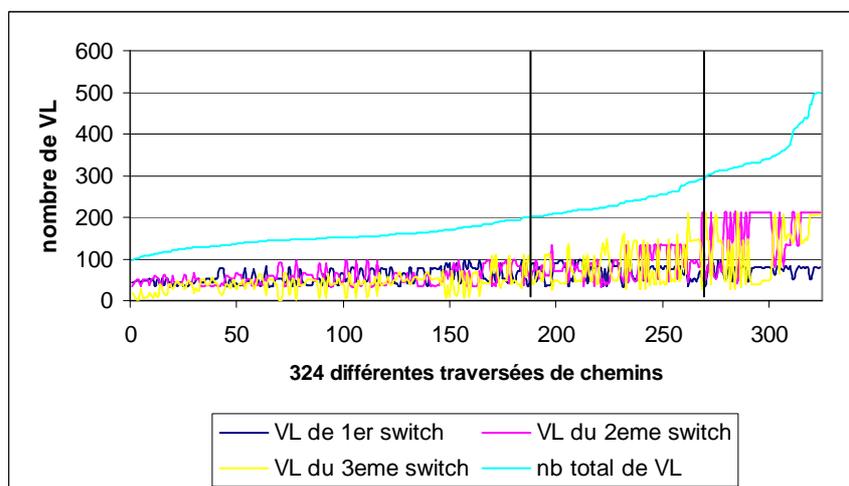


Figure 69: Groupe des chemins de longueur trois

Pour les 324 chemins de longueur trois nous distinguons aussi trois groupes (présentés dans la figure 69) :

- Groupe 3A : le chemin étudié est influencé par moins de 200 chemins,
- Groupe 3B : le chemin étudié est influencé par un nombre compris entre 200 et 300 chemins,

- Groupe 3C : le chemin étudié est influencé par plus que 300 chemins.

Nous choisissons par la suite un exemple de chemin par groupe et nous tirons sa répartition de délai de bout en bout.

VL de longueur 3 groupe 1

Numéro de VL: 17950

p_x : $e_x - sw_7(9) - sw_3(8) - sw_9(1) - e_q$

BAG: 32 ms

Taille min: 84 octets

Nombre d'échantillons : 1154712

Charge des ports de sortie : 175 VLs $\{(37,15), (30,22), (7,64)\}$

Délai min : 0,075 ms

Délai max atteint lors de la simulation : 0,296 ms

Délai max *Network Calculus* : 3,66 ms

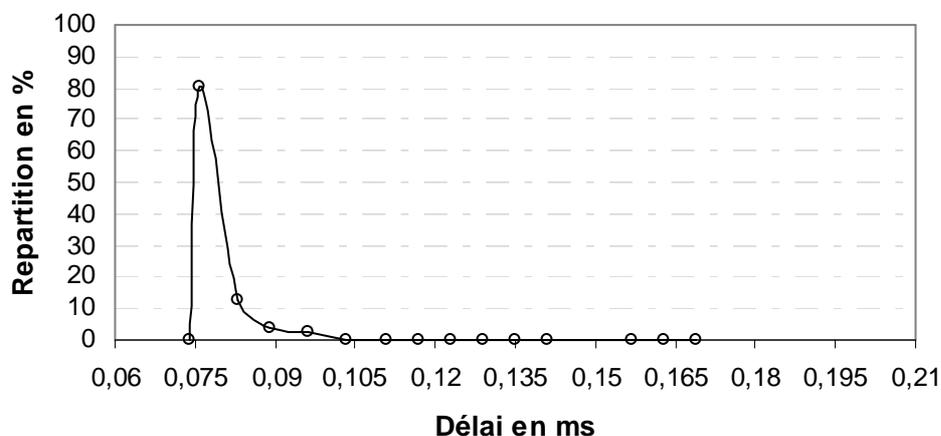


Figure 70: Répartition des délais du chemin de VL 17950

VL de longueur 3 groupe 2

Numéro de VL: 16650

p_x : $e_x - sw_6(24) - sw_4(5) - sw_2(4) - e_q$

BAG: 128 ms

Taille min: 283 octets

Nombre d'échantillons : 1138856

Charge des ports de sortie : 227 VLs $\{(73,9), (47,50), (10,38)\}$

Délai min : 0,138 ms

Délai max atteint lors de la simulation : 0,632 ms

Délai max *Network Calculus* : 5,484 ms

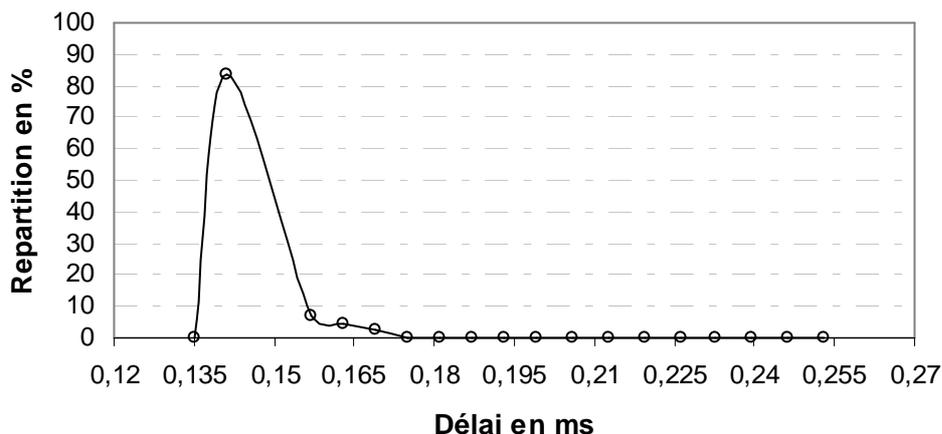


Figure 71: Répartition des délais du chemin de VL 16650

VL de longueur 3 groupe 3

Numéro de VL: 17451

p_x : $e_x - sw_6(24) - sw_4(23) - sw_3(22) - e_q$

BAG: 128 ms

Taille min: 195 octets

Nombre d'échantillons : 775026

Charge des ports de sortie : 365 VLs $\{(73,0), (69,65), (110,48)\}$

Délai min : 0,110 ms

Délai max atteint lors de la simulation : 1,271 ms

Délai max *Network Calculus* : 10,645 ms

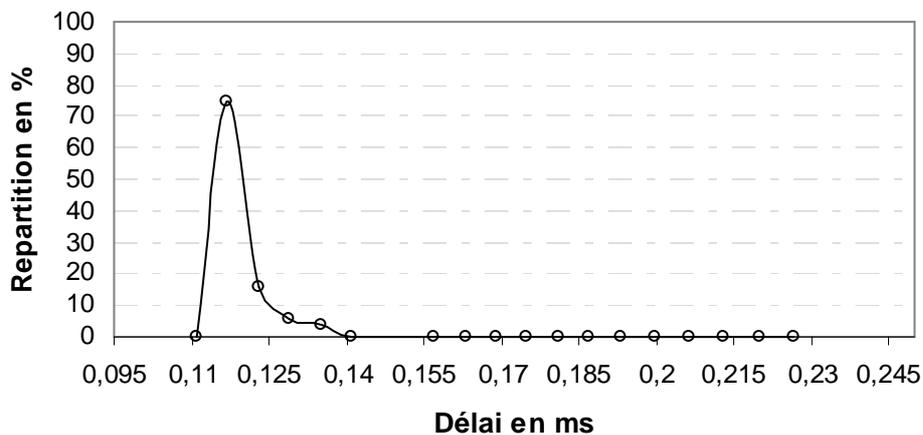


Figure 72: Répartition des délais du chemin de VL 17451

4.6.5 Chemins de longueur quatre

Pour les 76 chemins de longueur quatre nous distinguons deux groupes (présentés dans la figure 73) :

- Groupe 4A : le chemin étudié est influencé par moins de 250 chemins,

- Groupe 4B : le chemin étudié est influencé par plus de 250 chemins. Nous choisissons par la suite un exemple de chemin par groupe et nous en tirons sa répartition de délai de bout en bout.

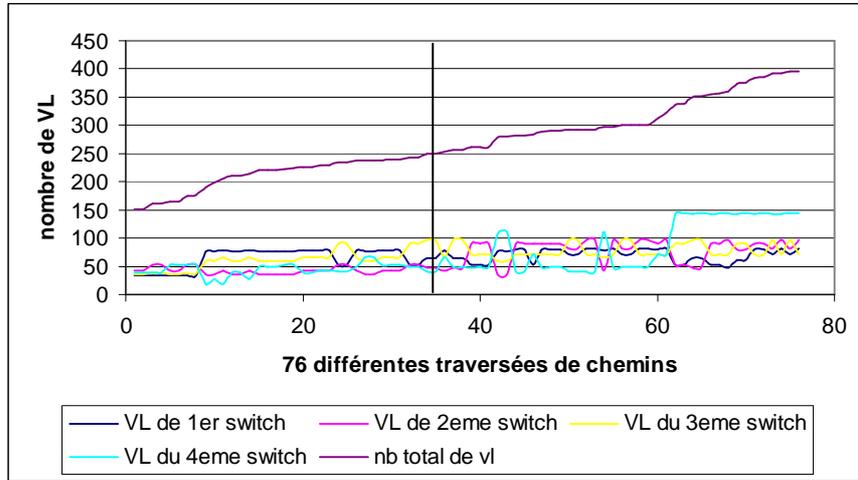


Figure 73: Groupe de chemins de longueur quatre

VL de longueur 4 groupe 1

Numéro de VL: 4451

$p_x: e_x - sw_1(24) - sw_9(24) - sw_4(6) - sw_6(1) - e_q$

BAG: 64 ms

Taille min: 155 octets

Nombre d'échantillons : 800112

Charge des ports de sortie : 210 VLs $\{(41,30), (41,11), (17,20), (3,47)\}$

Délai min : 0,126 ms

Délai max atteint lors de la simulation : 0,298 ms

Délai max *Network Calculus* : 3,43 ms

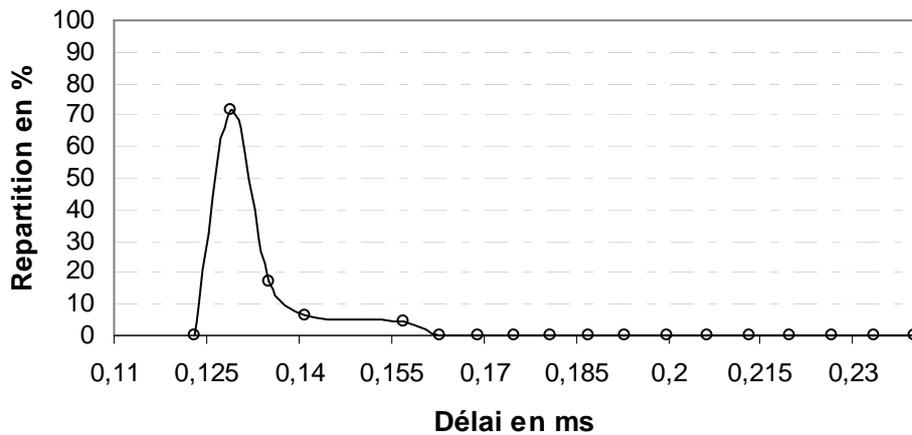


Figure 74: Répartition des délais du chemin de VL 4451

VL de longueur 4 groupe 2
 Numéro de VL: 33351
 $p_x: e_x - sw_6(19) - sw_7(9) - sw_3(5) - sw_1(15) - e_q$

BAG: 32 ms
 Taille min: 84 octets

Nombre d'échantillons : 640005
 Charge des ports de sortie : 336 VLs $\{(52,0), (37,15), (40,50), (16,126)\}$

Délai min : 0,0976 ms
 Délai max atteint lors de la simulation : 0,564 ms
 Délai max *Network Calculus* : 7,843 ms

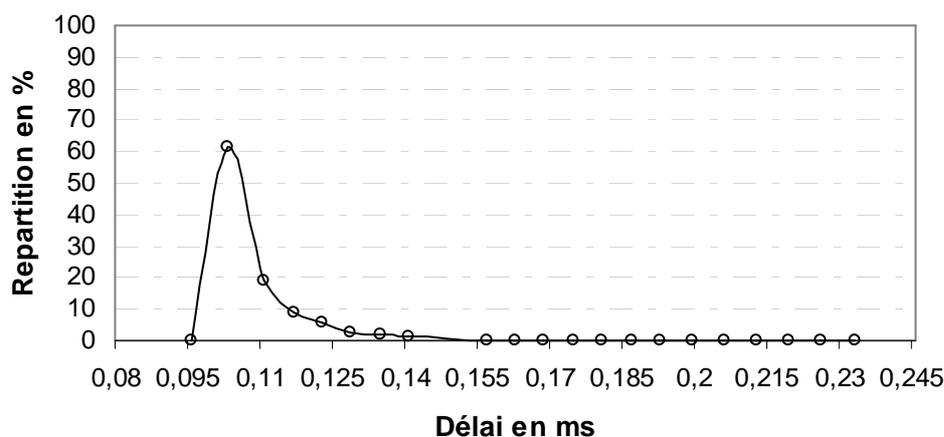


Figure 75: Répartition des délais du chemin de VL 33351

4.6.7 Analyse des résultats

Nous avons présenté dans ce paragraphe un modèle de simulation générique obtenu notamment grâce aux réductions de l'espace de la simulation, puis nous avons obtenu la distribution des délais de bout en bout pour la majorité des chemins dans un réseau AFDX. Dans ce paragraphe, nous avons groupé les chemins de la configuration industrielle du réseau par leurs longueurs de chemin. Après, pour chaque groupe nous avons retiré les répartitions des délais pour un certain nombre de chemins. En général, les graphiques des distributions obtenus montrent que pour tous les scénarii simulés le délai de bout en bout est situé dans le premier quart de l'intervalle [délai minimal, borne supérieur *Network Calculus*]. En fait, nous trouvons qu'en général le délai maximum atteint par simulation ne dépasse pas 20 % de la valeur calculée par calcul réseau (*Network Calculus*). En effet, les délais sont souvent proches de la valeur minimale de délai. Ce résultat n'est pas surprenant, puisque les longs délais de bout en bout correspondent aux scénarii avec de nombreux conflits sur les ports de sorties, qui sont peu nombreux pour un réseau peu chargé. Cela est dû au fait que l'augmentation du nombre de chemins induit une croissance exponentielle des échantillons à considérer pour qu'elles soient représentatives. Une réflexion intéressante doit être mise en place pour permettre de découvrir les répartitions des délais de ces chemins. Cependant, les premiers résultats montrent que pour les 10% de chemins pour lesquels l'élagage est insuffisant (nombre de chemins en jeu élevé ; dans notre expérimentation au-delà de 400 chemins), les temps de simulation restent prohibitifs (pour que celle-ci converge).

4.7 Conclusion

L'objectif de ce chapitre était de proposer des méthodes de réduction de l'espace de simulation afin d'acquérir une répartition pertinente des délais de bout en bout. L'enjeu était de disposer d'un échantillon représentatif de l'ensemble des scénarii possibles à simuler.

Dans ce chapitre, nous avons proposé une approche pour réduire de manière importante le nombre de scénarii possibles. Cette approche est basée sur l'idée suivante : pour une configuration de réseau donnée, un flux donné (un VL) n'est pas influencé de la même manière par d'autres flux. En conséquence, nous proposons une classification des chemins (chemins de VLs) en trois catégories : directement influents, indirectement influents et non influents.

D'abord, avec la configuration de l'application industrielle produite par Airbus, nous avons montré que le fait de ne pas considérer le groupe des chemins non influents élimine une moyenne de 52 % de chemins.

Ensuite, nous avons montré que les chemins indirectement influents sur un chemin p_x d'un VL v_x donné n'ont pas d'influence effective sur la répartition des délais de ce chemin. Le fait de ne pas considérer les chemins non ou indirectement influents réduit 84 % de chemins de la configuration initiale. Cette élimination des chemins qui n'influent que très peu sur la répartition des délais contribue à améliorer la simulation en réduisant le nombre de paramètres en jeu. En conséquence, l'évaluation des délais de bout en bout est plus pertinente. Dans le même but, nous avons étudié pour les chemins ID restant si certaines structures particulières d'éléments du réseau contribuent effectivement durant l'analyse du délai de traversée de ces chemins. Nous n'avons pas détecté de différence significative entre m_i chemins ID émis par un seul *End System* et le même nombre m_i de chemins émis par deux ou plusieurs *End Systems*. Cette constatation nous permet de ne considérer qu'une partie de l'architecture du réseau pour la simulation d'un VL donné, ce qui a permis d'appliquer l'approche par simulation (le modèle de simulation générique) à une application industrielle typique.

CHAPITRE 5

Conclusions et Perspectives

Sommaire

5.1 Résumé des travaux	107
5.2 Perspectives de recherche	109

Dans ce chapitre nous résumons nos travaux et contributions, et proposons différentes perspectives de recherche.

5.1 Résumé des travaux

L'évolution de la complexité des systèmes avioniques a conduit à l'utilisation d'une nouvelle technologie de réseaux embarqués, l'Ethernet commuté Full-Duplex. Cette nouvelle technologie pose de nouveaux problèmes vis-à-vis de la criticité temporelle des informations circulant sur le réseau avionique. Il s'agit donc de montrer que ce réseau satisfait les contraintes de qualité de service exigées (durée de séjour d'une trame, latence de traversée, ...).

Après étude des méthodes qui permettent l'analyse d'un tel réseau avionique, nous avons constaté que certaines de ces méthodes d'évaluation des performances permettent seulement de borner le délai de traversée du réseau dans le contexte de pire cas et ne permettent pas d'étudier le fonctionnement réel du réseau.

- L'approche par *Network Calculus* trouve les bornes majorantes des délais de bout en bout en partant d'hypothèses de trafic pessimistes (le pire cas obtenu n'est pas toujours atteignable),
- L'approche par *model checking* trouve le pire cas réel et le scénario de trafic correspondant mais son application sur une configuration réelle de réseau conduit à un très grand nombre de calculs d'états (problème d'explosion combinatoire).

La démarche par simulation permet l'évaluation globale des performances du réseau, et de mieux comprendre le comportement temporel moyen du réseau. Elle permet ainsi d'obtenir une distribution des délais de traversée.

Ainsi, nous avons proposé de mettre en œuvre une approche de modélisation en files d'attente et simulation. Cette démarche est complémentaire des démarches précédentes qui visent à garantir que le trafic des réseaux embarqués respecte bien les contraintes temps réel fixées (bornes sur les délais, tailles des files d'attente, ...), car elle permet d'avoir des informations sur les valeurs probables de ces délais (distribution des délais).

Nous nous sommes donc focalisé sur l'obtention de la distribution des délais par simulation. Nous avons donc abordé le problème de modélisation du réseau AFDX pour simuler une application avionique industrielle significative.

Nous avons tout d'abord déterminé les scénarii de simulation qui permettent l'analyse du délai en fonction du modèle de simulation retenu. Ces scénarii dépendent des différents paramètres caractérisant les flux des informations en entrée du réseau par la notion de *Virtual Link* : l'occupation de *BAG*, la taille de la trame et le déphasage entre les trames de VLs. L'étude de ces paramètres nous a permis de favoriser le paramètre phase pour définir les scénarii de simulation permettant d'obtenir la distribution des délais de bout en bout.

Nous avons développé un modèle de simulation basé sur une modélisation en éléments simples du réseau avionique, et du trafic y circulant. Nous avons dans un premier temps simulé des configurations simples loin d'être à l'échelle industrielle. La complexité de la configuration avionique réelle retenue nous a conduit à un espace de simulation trop complexe et trop étendu pour une étude globale du délai de bout en bout. Le nombre de scénarii possibles dans cette application réelle était en fait trop important, et a nécessité de raffiner notre méthode d'analyse pour réduire l'espace de simulation.

Nous avons proposé une démarche permettant de limiter le nombre de chemins utiles pour l'étude par simulation d'un chemin donné, et ainsi limiter le nombre des scénarii possibles. Cette démarche est basée sur l'idée suivante : pour une configuration de réseau donnée, un flux donné (un VL) n'est pas influencé de la même manière par les autres flux.

Nous avons proposé alors d'écarter les chemins de VL qui n'ont que très peu d'influence sur la répartition des délais d'un chemin donné. On s'est alors intéressé à exploiter la partie influente du réseau en proposant une classification des chemins basée sur le degré d'influence des VLs sur un chemin donné. La classification porte sur trois catégories : influant directement, influant indirectement et non influent.

Par la suite, nous avons étudié chacune de ces catégories afin d'évaluer son influence sur la répartition de délai de bout en bout d'un chemin donné. Nous avons pu écarter le groupe des chemins de VL non influents et montré par expérimentation que les VLs indirectement influents sur un chemin donné n'ont pas d'influence significative sur la répartition des délais de ce chemin. Cette démarche a permis ainsi d'écarter un nombre très important de chemins de la configuration industrielle initiale. La suppression des chemins non influant

et influant indirectement a permis la mise en œuvre de simulation en réduisant le nombre de scénarii en jeu.

Dans un second temps, nous nous sommes intéressés à la simplification du modèle d'architecture du réseau devant être simulé. Nous avons étudié pour les chemins directement influents restants, si certaines structures d'éléments du réseau peuvent être simplifiées pour la simulation dans la mesure où ils n'affectent pas la distribution des délais de bout en bout. Les résultats de ces simplifications nous ont permis ainsi d'établir un modèle de simulation générique, et d'acquérir des répartitions des délais de bout en bout pour la majorité des chemins, devant être étudiés sur la configuration avionique réelle retenue.

En complément des autres études de performance, cette démarche a permis l'obtention d'une distribution des délais de traversée du réseau AFDX.

5.2 Perspectives de recherche

L'étude menée tout au long de cette thèse s'appuie sur un certain nombre d'hypothèses simplificatrices dont la mise en cause permettrait de dégager plusieurs pistes de recherche.

Dans les travaux présentés, nous avons réussi à obtenir une distribution des délais de bout en bout d'un chemin de VL sur une application industrielle de réseau AFDX. Le prototype d'application reposait sur un réseau homogène, avec des flux de données homogènes (VL), une classe de service unique (pas de priorité entre flux) et sur une configuration peu chargée mais significative des applications avioniques actuelles.

Il serait donc intéressant d'étudier des configurations de réseaux plus chargées que celle retenue dans notre contexte. En effet, les hypothèses prises lors de la définition des scénarii de simulation (le taux d'occupation de BAG, la taille de la trame et le déphasage entre les trames de VLs) nécessitent une analyse plus précise de leur influence sur la distribution des délais dans le cas d'un réseau chargé.

Nous pensons qu'il serait aussi très intéressant de généraliser la notion de VL pour prendre en compte différents types de flux. On peut imaginer la généralisation du modèle de simulation générique pour d'autres types d'applications (voix, audio, vidéo, etc.). Ces extensions qui nécessitent la gestion de VLs hétérogènes impliquent vraisemblablement l'utilisation d'autres politiques de service au niveau des ports de sortie des commutateurs [Z95]. Il serait alors important d'étudier l'influence de la politique de service sur le délai de traversée du réseau. Nous pensons que notre approche pourrait s'adapter à ce contexte car des études ont déjà été menées sur la classification des VLs. Une classification de VLs selon deux niveaux de priorités envisagés dans la norme AFDX a permis de diminuer le délai de bout en bout dans certains cas de trafic [GFF03].

Une autre voie de généralisation serait aussi de prendre en compte non plus un réseau homogène comme le réseau AFDX mais, un réseau hétérogène obtenu par interconnexion de sous-réseau différents (évolution du réseau ADCN). Par exemple, on peut imaginer l'interconnexion du réseau AFDX avec des réseaux de capteur (CAN, Flexray, etc.), et avec le monde ouvert (cabine passager, etc.) de type Ethernet (EON).

D'autres pistes peuvent encore être envisagées dans le prolongement de cette étude, comme la mise en œuvre d'une approche pour conduire la simulation vers des événements

rare pour s'approcher des pires cas de délais de bout en bout. Une idée prometteuse serait de se concentrer sur les scénarii qui génèrent le plus grand nombre de conflits sur les ports de sortie. Généralement, ce sont des scénarii avec des courts déphasages entre les VL.

Nous pensons également qu'il serait intéressant de proposer une méthode pour obtenir la répartition des délais en utilisant le calcul réseau stochastique. Des études [VB012] prometteuses sont déjà menées et ont conduit à des résultats intéressants. L'approche par calcul réseau stochastique pourrait établir des bornes cohérentes avec les résultats obtenus par simulation.

Ces quelques perspectives montrent bien à quel point les travaux dans ce domaine posent des questions complexes. L'évolution constatée dans les architectures aéronautique avec l'utilisation de réseaux embarqués de type Ethernet commuté Full duplex et leur interconnexion avec d'autres moyens de communication va donc nécessiter de nouvelles techniques pour la certification, pour le dimensionnement et pour l'analyse de performances des réseaux. Il faudra désormais mettre en œuvre des méthodes complémentaires (calcul déterministe, stochastique, simulations, tests sur des bancs d'essai) qui permettent une meilleure maîtrise des réseaux avioniques futurs.

Annexe A

Outil réalisé

Cœur temps réel de simulation : QNAP 2

L'évaluation des performances des systèmes s'appuie largement sur la théorie des files d'attente et de la simulation [KS02] [SKS02]. En effet, les phénomènes d'attente surviennent naturellement dans la plupart des équipements du réseau AFDX modélisé. QNAP (Queueing Network Analysis Package) [w-Simu] est un langage de description et d'analyse de files d'attente. Il ne s'agit pas d'un logiciel complet de modélisation dans la mesure où la démarche de création du modèle doit être faite par l'utilisateur.

QNAP est le résultat du travail d'équipes de chercheurs de l'INRIA (Institut National de Recherche en Informatique et Automatique) et de BULL [VP-qnap]. Ce programme est écrit en FORTRAN77. C'est un langage algorithmique de haut niveau permettant de décrire des mécanismes complexes, synchronisations, règles de gestion et d'affectation.

QNAP traite des objets simples comme des nombres réels ou entiers, des caractères, mais aussi des files d'attente. A l'aide de ces objets l'utilisateur peut définir une structure de réseau de files d'attente en décrivant un ensemble de stations. Une station se compose des éléments essentiels suivants:

- Des files d'attentes.
- Un ou plusieurs serveurs attachés à une file.
- La description algorithmique du service fourni.
- Un algorithme de routage qui permet de définir la circulation des trames dans le réseau.

Les clients du réseau circulent entre les stations où ils reçoivent un service. Il est possible de caractériser des clients en leur attribuant des classes distinctes. Lorsque la description du réseau est terminée, il est possible de passer à la deuxième phase de l'utilisation de QNAP: la résolution. Les méthodes de résolution disponibles sont:

- Un simulateur à événements discrets,
- Des méthodes analytiques exactes,
- Des algorithmes de convolution-théorème BCMP,
- Une résolution Markovienne,

- Des méthodes analytiques approchées dont MVA (Mean Value Analysis),
- Des méthodes itératives,
- L'approximation par diffusion,
- Des approches heuristiques.

Les résultats numériques sont des données standard du type temps de réponse, taux d'occupation et longueur de files. Ces quantités sont calculées par leur valeur moyenne lorsqu'un état d'équilibre existe pour les méthodes analytiques et par leur valeur moyenne et un intervalle de confiance pour les méthodes de simulation [GHE00].

Description de l'outil réalisé

Nous avons réalisé pour cette étude un outil de mesure par simulation basé sur QNAP qui permet d'automatiser l'analyse du réseau [CF05] [CSEF06]. Cet outil prend en entrée une description de l'architecture physique du réseau au format texte, dont voici un extrait :

```
ENDSYSTEM,ADIRU1
ESPHYPORT,1,100,ON
ESPHYPORT,2,100,ON
TxVL,5650,VL_ADIRU1_ADR,AB,32,343,343,LOW,0
TxVL,5651,VL_ADIRU1_CDS_FWS_ADR,AB,32,171,171,LOW,0
TxVL,5853,VL_ADIRU1_CDS_FWS_IRS,AB,16,307,307,LOW,0
TxVL,5855,VL_ADIRU1_FlightSimu,AB,64,84,567,LOW,0
TxVL,5652,VL_ADIRU1_Service_ADR,AB,16,217,217,LOW,0
RxVL,6050,VL_ADIRU2_ADR,99.999999,99.999999
PATH,ADIRU2,1,AFDX_SW-2,6,AFDX_SW-2,19,AFDX_SW-1,23,AFDX_SW-
1,6,ADIRU1,1
PATH,ADIRU2,2,AFDX_SW-12,6,AFDX_SW-12,19,AFDX_SW-11,23,AFDX_SW-
11,6,ADIRU1,2
RxVL,6251,VL_ADIRU2_GPS,99.999999,99.999999
PATH,ADIRU2,1,AFDX_SW-2,6,AFDX_SW-2,19,AFDX_SW-1,23,AFDX_SW-
1,6,ADIRU1,1
PATH,ADIRU2,2,AFDX_SW-12,6,AFDX_SW-12,19,AFDX_SW-11,23,AFDX_SW-
11,6,ADIRU1,2
RxVL,6450,VL_ADIRU3_ADR,99.999999,99.999999
PATH,ADIRU3,1,AFDX_SW-9,6,AFDX_SW-9,15,AFDX_SW-1,24,AFDX_SW-
1,6,ADIRU1,1
PATH,ADIRU3,2,AFDX_SW-19,6,AFDX_SW-19,15,AFDX_SW-11,24,AFDX_SW-
11,6,ADIRU1,2
```

Il s'agit d'une description détaillée, où l'on distingue pour chaque élément un nom, un type, et les noms des différents ports. Par exemple, dans cette partie on décrit l'*End System* et sa capacité physique de 100 Mbit/s ainsi que les VLs en transmission (TxVL) et en réception (RxVL). Les VL en transmission sont définies par leurs noms, numéros, BAGs, taille min., taille max. et niveau de priorité. Pour les VLs en réception, on indique le chemin emprunté depuis l'*End System* de l'émission en passant par les commutateurs traversés.

```

#SWITCH,<name>,                               <ip_address>,  <network_id>
  SWITCH,AFDX_SW-12,                          10.1.66.0,    B
#Switch Physical Ports
#SWPHYPORT,<port_id>,<speed>,<state>,<passive_state>
  SWPHYPORT,1,100, ON, OFF
  SWPHYPORT,10,100, ON, OFF
  SWPHYPORT,11,100, ON, OFF
  SWPHYPORT,12,100, ON, OFF
  SWPHYPORT,13,10, ON, OFF
  SWPHYPORT,14,10, ON, OFF
  SWPHYPORT,15,100, ON, OFF
  SWPHYPORT,16,100, ON, OFF
  SWPHYPORT,17,100, ON, OFF
  SWPHYPORT,18,100, ON, OFF
  SWPHYPORT,19,100, ON, OFF
  SWPHYPORT,2,100, ON, OFF
  SWPHYPORT,20,100, ON, OFF
  SWPHYPORT,21,100, ON, OFF
  SWPHYPORT,22,100, ON, OFF
  SWPHYPORT,23,100, ON, OFF
  SWPHYPORT,24,100, ON, ON
  SWPHYPORT,3,100, ON, OFF
  SWPHYPORT,4,100, ON, OFF
  SWPHYPORT,5,100, ON, OFF
  SWPHYPORT,6,100, ON, OFF
  SWPHYPORT,7,100, ON, OFF
  SWPHYPORT,8,100, ON, OFF
  SWPHYPORT,9,100, ON, OFF
#Switch Transmit Virtual Link
#TxVL,<vl_id>,<vl_name>,
  <bag>,<smin>,<smax>,<priority>
  TxVL,550, VL_Switch12_Service,16,84,219,LOW
#TxPort,<sap_port_id>,<ip_fragmentation_allowed>,<src_udp_port>
  TxPort,2003, YES,1003
#Switch Receive Virtual Link
#RxVL,<vl_id>,<vl_name>,
  <latency_max>,<jitter_max>
  RxVL,35851,VL_TestSCI-NMF-ADIS_Switch2, 99.999999, 99.999999
  PATH,FT_SCI,2,AFDX_SW-17,19,AFDX_SW-17,24,AFDX_SW-14,7,AFDX_SW-
  14,5,AFDX_SW-12,24
#ICMP,<max_request_size>,<reply_vl_id>
  ICMP,64,552

```

Dans cette partie, on décrit le commutateur ainsi que les ports et leurs spécifications en vitesse et mode de sélection. Dans le réseau avionique certain VLs de test peuvent être émis et reçus directement par le commutateur, les chemins ainsi que les caractéristiques de ces VLs sont décrits dans la partie déclaration du commutateur.

L'outil crée à partir de ce fichier l'ensemble des objets qui représentent le réseau, en utilisant des éléments conformes à la modélisation présentée: multiplexeurs, démultiplexeurs, éléments à délai borné, etc...

L'outil prend également comme entrée une description du trafic du réseau, conforme à la notion de VL. On trouve pour chaque VL, un nom, le nom de l'élément émetteur, la valeur du BAG (en microsecondes), la taille minimale et maximale d'une trame ; L'outil va alors

créer des objets VL, qui posséderont comme attributs les différentes caractéristiques présentées précédemment :

```
$G_VL(v120451,20451,32,0,84,1343)
$G_VL(v120452,20452,128,0,156,1395)
$G_VL(v120453,20453,16,0,384,1407)
$G_VL(v120454,20454,64,0,656,656)
$G_VL(v120455,20455,8,0,348,348)
$G_VL(v120456,20456,128,0,84,84)
```

Par la suite, la difficulté réside dans la programmation du routage des VL à l'intérieur du réseau. Nous avons choisi de l'implémenter en générant des tables de routage pour chaque commutateur à partir des données offertes par le fichier de description de l'architecture physique, particulièrement à partir des chemins empruntés par les VL. C'est de cette partie qu'on obtient suffisamment de renseignement sur le routage des VL vers les ports de sortie des commutateurs ainsi que sur les interconnexions entre l'*End System* et commutateurs.

Les tables de routage se composent d'un champ pour les numéros de VL à transmettre, la première colonne, et puis dans chaque ligne il y a les numéros de ports de sortie de commutateur vers lesquels nous aiguillons les trames. Le concept des tables de routage permet de prendre en compte le caractère *multicast* des VL. Ainsi, à chaque fois qu'une trame parvient au démultiplexeur, des trames identiques seront créées et aiguillées vers les ports de sortie. Ces trames possèdent les mêmes paramètres (nom, numéro, BAG, tailles et temps d'émission) que ceux de la trame mère :

```
New_Frame:=NEW (CUSTOMER);
New_Frame.NUM_VL:=NUM_VL;
New_Frame.Bag:=BAG;
New_Frame.SIZE:=SIZE;
New_Frame.Delay:=Delay;
```

Une fois les différents éléments et flux instanciés, on peut procéder à l'analyse du réseau. Celle-ci se déroule exactement de la façon indiquée au paragraphe précédent, par passes successives à travers les éléments du réseau modélisés, et jusqu'au l'End System de destination.

Le principe de mesure est simple, dès l'envoi d'une trame par une application on introduit dans le champ de l'objet « Trame » sa date d'émission qui sera soustraite du temps de réception dès son arrivée à l'application destinataire. Lors de son parcours dans le réseau, on additionne toutes les contributions à la latence totale le long du chemin du VL. Pour un multiplexeur, modélisé en une file d'attente, on prend en compte le temps d'attente et le temps de service. Le premier dépend du nombre de trames dans la file à l'arrivée de la trame et le deuxième dépend de la taille de la trame et la capacité du lien physique. Ainsi, on obtient le délai de bout en bout pour une trame de VL.

Architecture globale

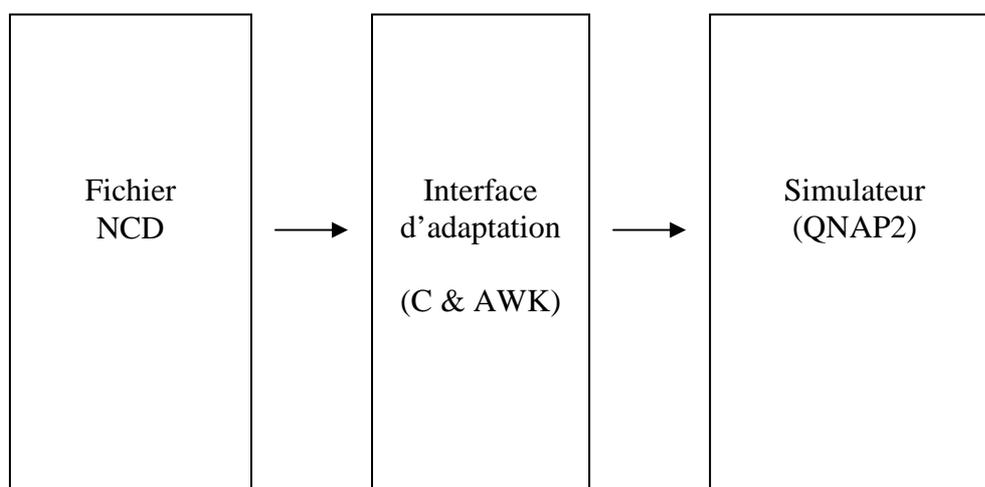


Figure 76: Architecture globale de l'outil de simulation réalisé

L'architecture de l'outil réalisé comprend une interface d'adaptation codée en langage C et des scripts AWK permet de traiter le fichier texte de la configuration du réseau AFDX (*fichier.ncd*). Cette interface génère à partir du fichier source les informations descriptives du réseau, à savoir :

- les flux de VL (les BAGs, les numéros et noms de VLs, les tailles, les priorités),
- les *End System*,
- le routage des VLs, leurs chemins de bout en bout (génération des tables de routage),
- génération des connexions : Sw-Sw, Sw-ES et VL-ES.

Ces données seront modélisées en objets et simulés avec le moteur de résolution QNAP2. Les figures 73 / 74 montrent l'architecture globale des différentes phases de simulation.

Annexe B

Publications dans le cadre de cette thèse

Conférences Internationales avec actes et comité de lecture (4)

- H. Charara and C. Fraboul. Modelling and simulation of an Avionics Full Duplex Switched Ethernet. In Proceedings of IARIA-AICT, Lisboa, Portugal, July 2005.
- H. Charara, J.-L. Scharbarg, J. Ermont, and C. Fraboul. Methods for bounding end to-end delays on an afdx network. In Proceedings of the 18th ECRTS, Dresden, Germany, July 2006.
- H. Charara, J.-L. Scharbarg and C. Fraboul. Analysing end-to-end delays on an AFDX network by simulation. In Proceedings of IASTED CSN, Palma de Mallorca, Spain, August 2006.
- H. Charara, J.-L. Scharbarg, and C. Fraboul. Focusing simulation for end-to end delays analysis on a switeched Ethernet. In Proceedings of the WiP session of RTSS, Rio de Janeiro, Brasil, December 2006.

Autres conférences (1)

- H. Charara. Evaluation des performances de réseaux embarqués avioniques. EDIT'05 Toulouse, France. Avril 2005.

Workshop et présentations (1)

- H. Charara. Performance evaluation of the embedded avionics networks, Application on: A380. DNAC'05 - Beirut, Lebanon. April 2005.

BIBLIOGRAPHIE

- [ARI429] Aeronautical Radio Inc., ARINC specification 429-ALL: Mark 33 Digital Information Transfer System (DITS) Parts 1, 2, 3, 2001.
- [ARI629] Aeronautical Radio Inc., ARINC specification 629: Multi-transmitter Data Bus Part 1 - Technical Description, 1999.
- [ARI636] Aeronautical Radio Inc., ARINC project paper 636: Onboard Local Area Network.
- [ARI651] ARINC 651, Aeronautical Radio Inc. ARINC specification 651. Design Guidance for Integrated Modular Avionics, 1991.
- [ARI653] Aeronautical Radio Inc., ARINC project paper 653: Avionics Application Software Standard Interface, 1997.
- [ARI659] Aeronautical Radio Inc., ARINC project paper 659: Backplane Data Bus, 1993.
- [ARI664.1] ARINC 664, Aircraft Data Network, Part 1: Systems Concepts and Overview, 2002.
- [ARI664.2] ARINC 664, Aircraft Data Network, Part 2: Ethernet Physical and Data Link Layer Specification, 2002.
- [ARI664.7] ARINC 664, Aircraft Data Network, Part 7: Deterministic Networks, 2003.
- [ARI646] Aeronautical Radio Inc., ARINC project paper 646: ELAN Ethernet Local Area Network.
- [ACOR99] R. Agrawal, R. Cruz, C. Okino, and R. Rajan. Performance bounds for flow control protocols. *IEEE Transaction on Networking*, 7(3), June 1999.
- [AD94] R. Alur and D. L. Dill. Theory of Timed Automata. *Theoretical Computer Science*, 126(2):183–235, 1994.
- [AFS02] AFDX Firmware Specification, AIM GmbH, version 0.06, February 2002.
- [AFDX-CES] White Paper on AFDX. CES - Creative Electronic Systems. DOC 8854/W Version 1.0 - November 2003.
- [AMS82] D. Anick, D. Mitra, and M. Sondhi. Stochastic theory of a data handling system and multiple sources, *Bell Systems Technical Journal*, 1982, 61, pp. 1871-1894. 32.
- [ARP4754] SAE ARP4754, Certification Considerations for Highly-Integrated or Complex Aircraft Systems, 1996.
- [ABO98] A. Burgueno Arjona. Vérification et synthèse de systèmes temporisés par des méthodes d'observation et d'analyse paramétrique. PhD thesis, Ecole Nationale Supérieure de l'Aéronautique et de l'Espace, Toulouse, France, 1998.

- [ACTEL05] Developing AFDX Solutions. Application Note 2005 . ISBN : 51900093-0/3.05. Actel <http://www.actel.com/ipdocs>.
- [AVDL06] M. Anand, S. Vestal, S. Dajani-Brown and I. Lee. Formal Modeling and Analysis of the AFDX Frame Management Design. In Proceedings of the ninth IEEE international Symposium on Object Component-oriented Real-time Distributed Computing. ISBN 0-7659-2561-X/06. IEEE 2006.
- [AvHand] The Avionics Handbook. Edited by Cary R. Spitzer. Publié par CRC Press.
- [BAY00] Théorie des files d'attente. B. Baynat, Ed. Hermès 2000.
- [BBFL01] B. Bérard, M. Bidoit, A. Finkel, F. Laroussinie, A. Petit, L. Petrucci, and Ph. Schnoebelen. Systems and Software Verification. Model-Checking Techniques and Tools. Springer, 2001. Vérification de logiciels, techniques et outils de Model-Checking. Vuibert, Paris 1999. ISBN 2-7117-8646-3.
- [BCS94] B. Braden, D. Clark, S. Shenker. Integrated Services in the Internet Architecture: an Overview, RFC 1633, Luglio 1994.
- [BREV03] European Patent Office. EP 1 309 130 A1. Date de publication: 07.05.2003.
- [BT03] K. Bisson, T. Troshynski. Switched Ethernet Testing for Avionics Applications. In Proceedings of the IEEE Systems Readiness Technology Conference, Volume, Issue, 22-25 Sept. 2003 Page(s): 546 – 550. ISBN 0-7803-7837-7/03.
- [CC93] Chanet P., Cassigneul V., «How to control the increase in the complexity of civil aircraft on-board systems», AGARD Meeting on Aerospace Software Engineering for Advanced Systems Architectures, mai 1993, Paris.
- [CF05] H. Charara and C. Fraboul. Modelling and simulation of an Avionics Full Duplex Switched Ethernet. In Proceedings of IARIA-AICT, Lisboa, Portugal, 2005.
- [CHAN99] Xinjie Chang. Network Simulation with OPNET. Proceedings of the 1999 Winter Simulation Conference.
- [CHR98] Christensen K.J. A simulation study of enhanced arbitration methods for improving Ethernet performance. Computer Communications, Volume 21, Number 1, February 1998 , pp. 24-36(13).
- [CSC2000] Cheng-Shang Chang, Performance guarantees in communication networks, SpringerVerlag, 2000.
- [CSC94] C. S. Chang, "Stability queue length, and delay of deterministic and stochastic queuing networks", IEEE Trans. Automat. Contr., vol. 39, no.5, pp. 913-931, May 1994.
- [CSC98] C.S. Chang, "On deterministic traffic regulation and service guarantee: A systematic approach by filtering", IEEE TIT vol 44, May 98, pp 913--931.
- [CSF06-1] H. Charara, J.-L. Scharbarg and C. Fraboul. Analysing end-to-end delays on an AFDX network by simulation. In Proceedings of IASTED CSN, Palma de Mallorca, Spain, August 2006.
- [CSEF06] H. Charara, J.-L. Scharbarg, J. Ermont, and C. Fraboul. Methods for bounding end to-end delays on an afdx network. In *Proceedings of the 18th ECRTS*, Dresden, Germany, July 2006.
- [CSF06-2] H. Charara, J.-L. Scharbarg, and C. Fraboul. Focusing simulation for end-to end delays analysis on a switched Ethernet. In Proceedings of the WiP session of RTSS, Rio de Janeiro, Brasil, December 2006.

- [CZ91-1] R. Cruz, "A calculus for network delay, Part I: Network element in isolation," *IEEE Trans. Inform. Theory*, vol. 37, no. 1, pp. 114-131, Jan. 1991.
- [CZ91-2] R. Cruz, "A calculus for network delay, Part II: Network analysis," *IEEE Trans. Inform. Theory*, vol. 37, no. 1, pp. 132-141, Jan. 1991.
- [CZ95] R. Cruz. Quality of service guarantees in virtual circuit switched networks. *IEEE Journal of selected areas in communication*, 13(6), August 1995.
- [DDG95] Delorme M., Dussaussois C., Gabrilot P., «Dossier de synthèse des architecture étagère: IDEE Tâche 1.4, Synthèse des architectures étagère», Document Airbus, ref. ID3-DOC-ET14-1-AB, 1995.
- [DEC05] Decotignie, J.-D. Ethernet-based real-time and industrial communications. *Proceedings of the IEEE Volume 93, Issue 6, June 2005* Page(s): 1102 – 1117 Digital Object Identifier 10.1109/JPROC.2005.849721
- [DNSI] K. Deshpande, S. Nalole, S. Shhah and R. Ingle. Modeling of stadlone and Networked ATM switches (N-AtmSim) using Discrete Event Simulation with TCP/IP SocketS. *TENCON 2003. Conference on Convergent Technologies for Asia-Pacific Region Volume 4, Issue, 15-17 Oct. 2003* Page(s): 1516 - 1520 Vol 4.
- [DO-178B] Requirements and Technical Concepts for Aviation, DO-178B: Software Considerations in Airborne Systems and Equipment Certification, 1992.
- [DS01] Distributed Systems, Concepts and Design. Georges. Coulouris, Jean Dollimore and Tim Kindberg. Pearson Education 2001. ISBN 81-7808-4627.
- [ERM02] J. Ermont, « Une algèbre de processus pour la modélisation et la vérification des systèmes temps-réel avec préemption », Thèse de doctorat, ENSAE, 2002.
- [ESF06] J. Ermont, J.-L. Scharbarg, and C. Fraboul. Worst-case analysis of a mixed can/switched Ethernet architecture. In *Proceeding of the Real-Time Networked Systems Conference, Poitiers, France, 2006*.
- [FCF-LAN] Local Area Networks. Behrouz A. Forouzan, Sophia Chung and Sophia Chung Fegan. Publié par McGraw-Hill Professional.
- [FEL05] FELSER Max. Real-time Ethernet: Industry prospective. *Industrial communication systems*, June 2005, vol. 93, no 6, pp. 1118-1129. *Proceedings of the IEEE* ISSN 0018-9219.
- [FF02] C. Fraboul and F. Frances. Applicability of Network Calculus to the AFDX. Technical Report PBAR-JD-728.0821/2002, 2002.
- [FFG06] F. Frances, C. Fraboul, and J. Grieu. Using network calculus to optimize the AFDX network. In *Proceedings of ERTS, Toulouse, France, 2006*.
- [FF-rt] C. Fraboul, F. Frances, « Comparaison de bus avioniques », Rapport technique.
- [FP89] S. Fdida et G. Pujolle. *Modèles de Systèmes et de Réseaux.*, Eyrolles 1989.
- [GFF03] J. Grieu, F. Frances, and C. Fraboul. Preuve de déterminisme d'un réseau embarqué avionique. In *Actes du 10ème Colloque Francophone sur l'Ingénierie des Protocoles, Paris, 7-10 Octobre 2003*.
- [GHE00] Gérard Hébuterne. *Introduction à la Simulation par Événements*. Institut National des Télécommunications. INT-Evry 2000.
- [GRD02] J.P. Georges, E. Rondeau, T. Divoux, Evaluation of switched Ethernet in an industrial context by using the network calculus, 4th IEEE International

- workshop on Factory Communication Systems, WFCS'2002, Västeras, Suède, pages 19-26, 28-30 août 2002.
- [HHG04] Hoai Hoang. Real-Time Communication for Industrial Embedded Systems Using Switched Ethernet. In Proceedings of the 18th International Parallel and Distributed Processing Symposium IPDPS'04. ISBN 0-7695-2132-0/04. IEEE 2004.
- [HP01] J. Huysseune, P. Palmer, "NEVADA – PAMELA – VICTORIA, "Toward the definition of new aircraft electronics", Invited paper Aeronautics days, Hamburg 2001.
- [IE802.1p] IEEE 802.1p: LAN Layer 2 QoS/CoS Protocol for Traffic Prioritization.
- [IE802.1] IEEE 802.1D, 1998 Edition: Local and Metropolitan Area Networks: Media Access Control Level Bridging.
- [IE802.3-02] CSMA/CD access method. IEEE Standard 802.3, IEEE, 2002.
- [IE802.3] IEEE Std 802.3, 1998 Edition: Information technology—Telecommunications and information exchange between systems—Local and metropolitan area networks—Specific requirements—Part 3: Carrier senses multiple access with collision detection (CSMA/CD) access method and physical layer specifications.
- [IETF] Internet Engineering Task Force, RFC 1122: Requirements for Internet Hosts : Communication Layers - Required Internet Standard.
- [JAIN91] The art of Computer Systems Performance Analysis – Techniques for Experimental Design, Measurement, Simulation and Modeling. R. Jain, Ed. Wiley 1991.
- [JGU04] J. Grieu. Analyse et évaluation de techniques de commutation Ethernet pour l'interconnexion des systèmes avioniques. PhD thesis, INP-ENSEEIH, France, 24 Sept. 2004.
- [JNTW02] J. Jasperneite, P. Neumann, M. Theis, and K. Watson. Deterministic Real-Time Communication with Switched Ethernet. In Proceedings of the 4th IEEE International Workshop on Factory Communication Systems, pages 11–18, Västeras, Sweden, aug 2002. IEEE Press.
- [JYB-NC] J.-Y. Le Boudec and P. Thiran, Network Calculus: A Theory of Deterministic Queuing Systems for the Internet., Springer Verlag Lecture Notes in Computer Science volume 2050. 2001. ISBN: 3-540-42184-X.
- [JYB98] J.-Y. Le Boudec, "Application of network calculus to guaranteed service networks," IEEE Transactions on Information Theory, vol. 44, pp. 1087--1096, May 1998.
- [KO04] Hermann (FRW) Kopetz, Roman Obermaisser. Event-Triggered and Time-Triggered Control Paradigms. Technology & Industrial Arts. 153 pages, publié en 2004 par Springer. ISBN 0387230432.
- [KS02] Anis KOUBAA, Ye-Qiong SONG. Evaluation de performances d'Ethernet commuté pour des applications temps réel. Proceedings Real Time Systems Conference RTS'2002 Paris (France) 26-28 Mars 2002.
- [KS03-1] Anis Koubaa, Ye-Qiong Song. Amélioration des Délais dans les Réseaux à Débits Garantis pour des Flux Temps-Réel Sous Contrainte (m,k)-Firm Conférence Internationale Sciences Electroniques, Technologies de l'Information et des Télécommunications SETITE'2003 Sousse, Tunisie, 17-21 Mars 2003.

- [KS03-2] Koubaa Anis, Yé-Qiong Song. Evaluation et Amélioration des Bornes du Temps de Réponse pour des Applications Temps Réel avec Ordonnancement à Priorité Fixe et Non-Préemptif. Le 4ième Colloque Francophone sur la Modélisation des Systèmes Réactifs, MSR'03, 6-8 Octobre Metz.
- [KUM05] Ajay Kumar. Development of laboratory exercises based on the OPNET network simulation approach. River College online. Academic Journal, Volume 1, Number 1, fall 2005.
- [LAW91] A. M Law and W. D. Kelton, "Simulation Modelling & Analysis, Second Edition", *MacGraw Hill*, 1991.
- [LCK04] S. Lee, K. Chang Lee and Hyun Hee Kim. Maximum Communication Delay of a Real-Time Industrial Switched Ethernet with Multiple Switching Hubs. In Proceedings of the 30th Annual Conference of the Industrial Electronics Society, November 2-6, 2004 Busan, Korea . ISBN 0-7803-8730-9/04. IEEE 2004.
- [LH04] Jork Loeser and Hermann Haertig. Low-Latency Hard Real-Time communication over Switched Ethernet. In Proceedings of the euromicro conference on real time system (ECRTS 2004), Catania, Italy, June 2004.
- [LPU97] K. G. Larsen, P. Pettersson, and W. Yi. UPPAAL in a Nutshell. International Journal on Software Tools for Technology Transfer, 1(1-2):134-152, 1997.
- [LL04] Deming Liu and Yann-Hang Lee. An Efficient Switch Design for Scheduling Real-Time Multicast. In Proceedings of RTCSA 2003, LNCS 2968, pp. 194-207. Springer-Verlag Berlin Heidelberg 2004.
- [LMS98] A. Lombardo, G. Morabito, G. Schembra, "An Accurate and Treatable Markov Model of MPEG-Video Traffic", IEEE Proc. Infocom '98, San Francisco, USA, April 1998.
- [M99] Martin F., Modélisation et évaluation de performances prévisionnelles d'architectures modulaires intégrées, Thèse de doctorat, ENSAE, 1999.
- [MIL-STD] MIL-STD-1553B Specification: Aircraft Internal Time Division Command/Response Multiplex Data Bus, U.S. Department of Defense, Aeronautical Systems Division, 1978.
- [N94] I. Norros. "On the Use of Fractional Brownian Motion in the Theory of Connectionless Networks," IEEE Journal on Selected Areas in Communications, vol. 13, pp.953-962, 1994.
- [OPT] <http://www.opnet.com/solutions/>.
- [PHAM96] C.D. Pham. Simulations Distribuées de Réseaux ATM. Calculateurs Paralleles, Vol. 8(2), June 96, pp229.
- [PTBS02] K.Papagiannaki, N. Taft, S. Bhattacharyya, P. Thiran, K. Salamatian, C. Diot. A Pragmatic Definition of Elephants in Internet Backbone Traffic. In ACM Sigcomm Internet Measurement Workshop, Marseille, France, November 2002.
- [RMV96] J. Roberts, U. Mocchi and J. Virtamo (Eds.), Broadband Network Teletraffic, Final Report of Action COST 242, Lecture Notes in Computer Science, 1155, Springer, 1996.
- [ROB96] Stephan Robert. Modélisation Markovienne du trafic dans les réseaux de communication. Thèse No 1479 (1996). École Polytechnique Fédérale de Lausanne.

- [ROS00] David Ros, Etude de réseaux haut débit via la simulation de modèles fluides. Thèse de l'INSA. Rennes, 2000.
- [RSF07] F. Ridouard, J.-L. Scharbarg, and C. Fraboul. Stochastic network calculus for end-to-end delays distribution evaluation on an avionics switched Ethenet. IEEE INDIN, Vienna, July 2007.
- [THRLWF] Stephan Thesing, Jean Souyris, Reinhold Heckmann, Famantanantsoa Randimbivololona, Marc Langenbach, Reinhard Wilhelm, and Christian Ferdinand. An Abstract Interpretation-Based Timing Validation of Hard Real-Time Avionics. In Proceedings of the International Performance and Dependability Symposium (IPDS), June 2003.
- [SCPS95] H. Sariowan, R. Cruz, and G. Polyzos. Scheduling for quality of service guarantees via service curves. In Proceedings of the International Conference on Computer Communications and Networks, Las Vegas, 1995.
- [SKS02] Yé-Qiong Song, Koubaa Anis, François Simonot. Switched Ethernet For Real-Time Industrial Communication: Modelling And Message Buffering Delay Evaluation Pre-Print page 27 4rd IEEE International Workshop on Factory Communication Systems WFCS 2002, Sweden, August 2002.
- [SM06] Y.J. Singh and S.C. Mehrotra. Modeling and Analysis of Ethernet Performance through Simulation. In Proceeding (522) Applied Simulation and Modelling – 2006.
- [SMcGraw93] Spitzer C. R., Digital Avionics Systems, McGraw-Hill Inc., 1993.
- [SPHJBH] Jean Souyris, Erwan Le Pavec, Guillaume Himbert, Victor Jégu, Guillaume Borios and Reinhold Heckmann. Computing the Worst Case Execution Time of an Avionics Program by Abstract Interpretation. AIT Airbus 2004.
- [VB012] M. Vojnovic and J. Le Boudec. Stochastic analysis of some expediting forwarding networks. In Proceedings of Infocom, New York, June 2002.
- [VICT] Projet européen de recherche VICTORIA, "Validation platform for Integration of standardised Components, Technologies and tools in an Open, modular and Improved Aircraft electronic System", www.euproject-victoria.org.
- [VB03] M. Vojnović and J.Y. Le Boudec, "Bounds for independent regulated inputs multiplexed in a service curve network element". IEEE trans. Communications. 51(5), May 2003.
- [VLB01-1] M. Vojnović and J.Y. Le Boudec, "bounds for independent regulated inputs multiplexed in a service curve element", in Proc. of Globecom 2001, San Antonio, Texas.
- [VLB01-2] M. Vojnović and J.Y. Le Boudec, "Stochastic Analysis of some Expedited Forwarding Networks", Tech. report DSC200139, EPFL-DSC, http://dscwww.epfl.ch/EN/publications/documents/tr01_39.pdf, July 2001.
- [VP-qnap] M. Veran and D. Potier. QNAP2: A Portable Environment for Queuing Systems Modeling. In Proceedings of First International Conference on Modelling Techniques and Tools for Computer Performance Evaluation, Paris, France, May 1984.
- [w-Simu] Simulog. Qnap2. <http://www.simulog.fr>.
- [Z95] H. Zhang. Service disciplines for guaranteed performance service in packet-switching networks. Proceedings of the IEEE, 83(10):1374.1396, October 1995.

RÉSUMÉ

Les nouvelles générations d'aéronefs embarquent de plus en plus de systèmes avioniques, pour augmenter à la fois la sécurité et le confort des passagers. Ces nouvelles fonctions entraînent une forte hausse des échanges de données, ce qui nécessite plus de débit et de possibilités d'interconnexion. Les bus classiques de communications avioniques ne peuvent répondre à cette nouvelle demande, ce qui a poussé les constructeurs (Airbus et Boeing) à installer à bord un réseau de communication utilisant la technologie Ethernet commuté. Le principal apport de cette thèse est le développement d'une méthode d'évaluation de performances de ce type de réseaux basée sur une modélisation en file d'attente et simulation. Nous proposons également des approches pour la classification du trafic qui réduisent l'espace de la simulation afin de permettre une analyse plus fine du comportement moyen du réseau. Les résultats de ces simplifications nous ont permis ainsi d'établir un modèle de simulation générique et d'acquérir des répartitions des délais de bout en bout pour la majorité des chemins, devant être étudiés sur la configuration avionique réelle retenue.

MOTS CLES: Réseaux embarqués, Avionique, Temps réel, AFDX, Simulation, Evaluation de performances.

TITLE

REAL TIME PERFORMANCE EVALUATION OF THE EMBEDDED AVIONICS NETWORKS

ABSTRACT

The recent aircrafts need to accommodate more passengers or freight, with increasing safety and comfort conditions. The new embedded systems imply a large burst in the number and the volume of exchanged data. The avionic data buses cannot cope anymore with these new communications needs. Both Airbus and Boeing made the choice to replace these buses with a network using the Switched Ethernet technology. The main contribution of this thesis is a method, based on a simulation model, which evaluates the performances of this type of networks. We also propose approaches for the traffic classification allowing the reduction of the simulation space, in order to lead to a more refined analysis of the network behaviour. The results of these simplifications enabled us to establish a generic simulation model and to acquire distributions of the end to end delay for the majority of the virtual links, having to be studied on the selected real avionic configuration.

INTITULE ET ADRESSE DU LABORATOIRE

IRIT / ENSEEIHT 2, rue Charles Camichel F-31071 BP 7122 Toulouse, Cedex 7, France

ENSEEIHT : *Ecole Nationale Supérieure d'Electrotechnique, d'Electronique, d'Informatique, d'Hydraulique et des Télécommunications*. IRIT : *Institut de Recherche en Informatique de Toulouse*.

